

KEK におけるオンラインエレクトロニクスの現状と将来

KEK 素粒子原子核研究所

田中 真伸

on behalf of オンラインエレクトロニクスグループ

2005 年 11 月 28 日

1. はじめに

既存のデータ収集システムではこれからの実験に対応しきれないがどうしたらよいだろうか？ CAMAC, VME など複数の規格を使用しないで、もっと簡単に単一の規格に沿ってデータ収集システムが構築できないか？ 検出器のベンチテストもしくはビームテストに、コンピュータと検出器を数本のシリアル線で接続してすぐにデータが取れるようなシステムになっていたら楽なのだが、などと思っている方は少なくないと思われる。われわれのグループは一步一步着実にこれらを解決する方向に近づきつつある。われわれは多くの共同研究者と共に次世代のデータ収集プラットフォームを開発し、それらはシステムおよび要素としていくつかの実験にも使用されている。ここではその説明を行いながら各要素、技術のトレンド、有用性、問題点を含めて議論し、その先にあるものについて述べる。

2. データ収集システムの必要条件

データ収集システムを構築する場合には、

- どのようなデータ（時間情報、エネルギー情報など）が必要か
- トリガー情報などの装置全体の同期を取るための信号をどのように作るか、およびどのように分配する必要があるか
- どれくらいの量のデータがどれくらいの頻度ででてくるのか

などがわかっている必要があるが、実験や検出器ごとで条件が変わるため汎用化が楽ではない。一方ユーザやサポートする立場から考えると個別にシステム構築を行ってもいいが、開発やメンテナンスのコスト、マンパワーを考えるとなるべく共通できるところは共通にしたいという認識は持っている。よって CAMAC 規格などの ADC, TDC のモジュールや NIM のコインシデンス、ゲートジェネレータなどが使用されているわけだが、現状では今までわれわれが

慣れ親しんできたものからの脱却を迫られていることは下記のことからわかる。

- 1 必要とされるデータ転送速度の増加
- 2 CPU（データの転送先である PC やワークステーション）とのインターフェースの急激な進歩に対応したデータ転送系技術の維持（R&D と保守）の高コスト化
- 3 チャンネル密度およびチャンネル数の増加
- 4 フロントエンドエレクトロニクスの高機能化に伴うモジュールの多様化
- 5 モジュールの購入保守などの困難に伴うシステムのメンテナンス費用の増加

これらを解決するためにわれわれ（KEK、日本および海外の共同研究者）はこれから述べるデータ収集プラットフォームを提案し実際に使用している。

われわれが考えた汎用データ収集のプラットフォームのデザインは次のような境界条件を与えることから始まった。

- モジュールから直接ネットワークでデータ転送が行える。
 - これは後ほど再度考察するが、現状のインフラの広がりおよび技術の存続度を考慮すると、これ以上のインターフェースは現状では見つからない。ネットワークをモジュールごとに装備しタイミングコントロールインターフェースを決めれば前述の（1）と（2）および（5）の一部は解決可能である。
- 約 100 チャンネルの入力が可能なモジュールサイズにする。

これは前述の(3)を考えたことであり、チャンネル単価を下げたい場合はボードあたりのチャンネル数を増やすことが有効である。問題は勝手なサイズを選んでしまうとクレート製造のコストや電源分配が困難になるなどの弊害が生じるため、よく使用されている規格を使用したほうがよいことは明らかである。さらに検出器によって必要なデータ処理は異なる

(ADC/TDC など)ため、そのアプリケーションスペシフィックな機能を別のサブ基板として分離し、メインのボードに実装できるようにする。これによりメインボードの開発は一回のみ、サブ基板を要求に合わせて製作することで、開発やメンテナンスのマンパワーやコストが削減される。このようにすることにより(4) に関して解決が図られる。

- オンラインイベント処理用の CPU が搭載可能である。
この CPU はイベント処理だけでなく TCP/IP 処理もおこなう。CPU の更新に耐えるように PMC カードサイズの CPU ボード(Processor-PMC)を採用した。さらに OS は LINUX を搭載し、ユーザに親しみやすい環境を提供することとした。
- クロック、トリガーなどを分配するタイミング分配はツリー状に分配する方法とバックプレーン経由で分配する方法の二種類が可能になるようにする。
この二つの方法を採用したのは、使いやすさと並列分散化システムの実現の二つが必ずしも実験環境で一致しないことによる。たとえば J-PARC や小、中規模の実験であればバックプレーンを通じ信号を分配した方がシステムの構築が楽である場合があるが、BELLE やその他の大規模な実験ではクレート自身が色々なところに置かれているためツリー状に信号を分配した方がよい。

3. データ収集用プラットフォームの概要

前述の境界条件を決めると自動的にいくつかの要素がボード上に必要になる。それらと、これから行うであろう実験の要求を検討しながらデザインを決めたのが次のようなシステムである(図1を参照のこと)。

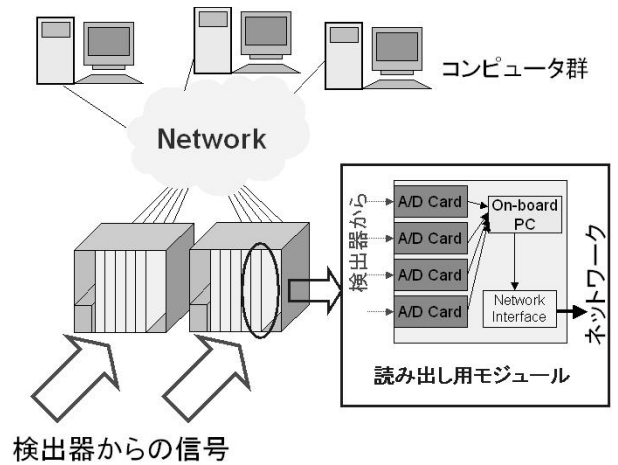


図1 データ収集プラットフォームの概念図

まずシステムの核となるのは COPPER (COmmon Pipelined Platform for Electronics Readout) と呼ばれるマザーボードと FINESSE (Front-end Instrumentation Entity for Sub-detector Specific Electronics) と呼ばれるマザーボードに搭載されるサブ基板である。これらは 9U サイズの VME クレートに入る。このシステムの利点は小さなシステムでも大きなシステムでも COPPER 以降はコンピュータもしくはネットワークスイッチにつなぐことでネットワークポロジが違っただけで他は同じデータ収集システムが構築できることである。

マザーボード (COPPER) は外部インターフェースとして 100Mbps イーサネット 2 ポートと VME インターフェースが標準で搭載されており、必要に応じて PMC-PCI カードを入れ替えることで他のインターフェース(USB や Gbit イーサネットなど)も使用可能である。ボード上には PMC 規格の PCI バスが実装されており CPU, DSP, メモリなどのデバイスが搭載可能である(図2参照のこと)。

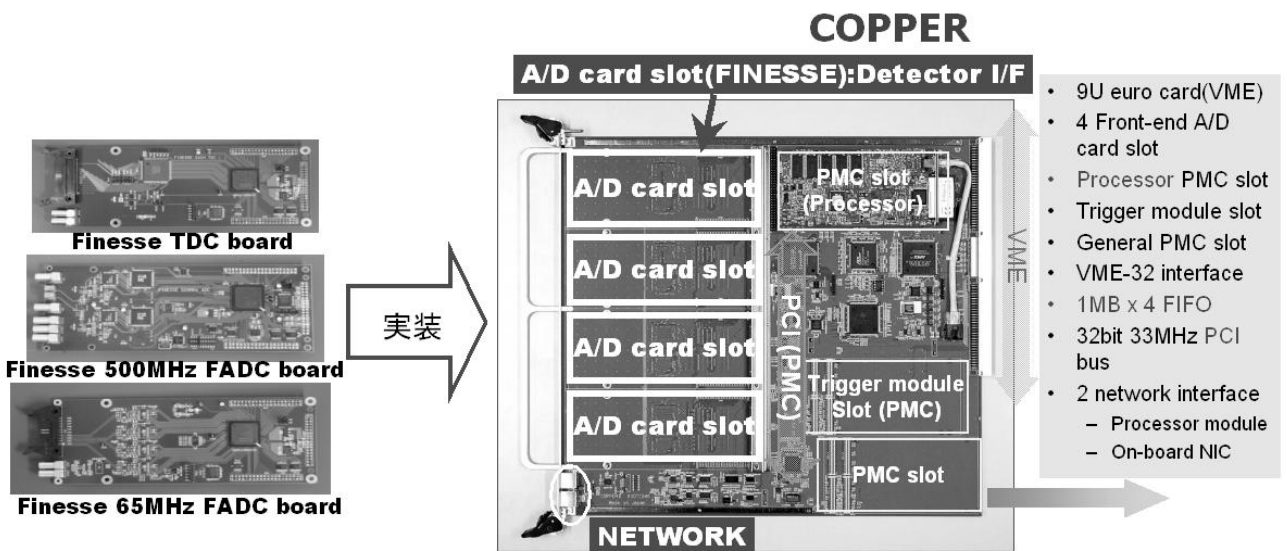


図2 COPPER および FINESSE (一部開発済み)

一方検出器からの信号はいったん FINESSE と呼ばれるサブ基板に入る。基板の幅はノーマルピッチコネクタで 25 差動対が充分入るように設定した。これはユーザがケーブルを自分で製作する場合のことも考えてである。この FINESSE は COPPER 上に 4 枚装着可能になっており、ユーザの用途に応じて異なる機能を持つ FINESSE が装着できるようにになっている。すでいくつかの FINESSE がユーザの求めに応じて実用化されているが、ユーザの独自開発が容易に行えるようインターフェースを簡単にし、かつ参考回路をオープンにしている。このためユーザ自身で開発している例もある。FINESSE 上には同期を取るためのタイミングコントロール用の信号が入り、これらの信号を使用してレベル 1 バッファなど実験に必要な機能を実装することが可能となっている。FINESSE からのデータは COPPER 上のイベントバッファに書き込まれ、COPPER オンボード上のハードウェアでイベントビルドされるため PCI バス上のバスマスタ (Processor-PMC) がデータを読むときはすでにイベントごとにデータがまとまっている。また、通常はデータ収集システムではリアルタイム OS が必要となるが COPPER ボード上のイベントバッファは 1MB/FINESSE が用意されているため、CPU モジュール上の OS として LINUX を使用しても問題はない。実際、この方法で対応できることは BELLE 実験の環境下でも実証されている。これは重要な点でユーザが慣れ親しんだ使用しやすい環境であるために導入の敷居や導入コストを下げる要因となっている。詳細をごらんになりたい方は下記のアドレスを参照されたい。

<http://www-online.kek.jp/~daqplatform>

4. 技術選定に関する議論

さて、ここまででデータ収集プラットフォームの概要を述べた。ここまで読み進められた方のうち下記の疑問を持った方は少なからずいると思われるので、ここでわれわれの考え方を述べる。

4.1 なぜネットワークか

今までわれわれの使用してきたデータ収集システムはほとんどがバスベースであった。理由は速度を上げやすい、CPU の数が少なくてもよい (安価に出来る)、ある程度標準化されたものがあった、などいくつかの理由があったが、現在ではこれらの状況は変わっている。

- シリアルデータ転送の高速化、技術革新
 - CPU の低価格化
 - バス規格の急激な変遷とバスインターフェースの複雑化による保守の困難
- これらの要因に、さらにバスの持つデメリット (分散並

列型データ収集システムの基幹データ転送方法には向いていない) を考慮すると、おのずとシリアル転送規格を選択することになり、そのなかでも過去から現在にわたり長期にわたり使用され、広く深く社会のインフラストラクチャとして定着しているものはイーサネットをのいて他にない。これは開発、保守が行い易いことを意味する。さらにデータ転送先としてのコンピュータを見てもイーサネットを持っていないコンピュータを探すのは難しくイーサネットを使用していればコンピュータにデータを転送できる。現状においてイーサネットは究極の選択といえる。では欠点はなにか。これは COPPER を見ればわかるように、CPU およびソフトウェアを必要とすることである。これによりおのずとリアルタイム性、サイズ、消費電力などからの制限により使用される範囲が限定されてきた。(たとえばフロントエンドエレクトロニクス近くでの使用は困難である) これに関しては後ほど述べるが、われわれはすでに解決方法を手にしており、前述の制限を越えてイーサネットを使用できるようになってきたと思っている。

4.2 なぜクレートが必要か

エレクトロニクスは電流を供給されて、はじめて動作する。この供給をどのように行うか、また発熱による温度上昇を冷却して抑える必要もある。よって何らかの電気配線をもつ構造物があったほうが便利である。実は必ずしもこの構造物が規格化されている必要はないが、汎用で共通に使用できるようにするためには構造体の大きさや電気配線の規格が統一されていた方がよい。これらの規格に、さらにデータ転送方法の規格を含め一体化したものが CAMAC, VME などの規格である。

ではなぜ 9U サイズ VME なのか? まず VME はユーロラックの規格である。この規格は広く使用されており、クレートを収納するキャビネットも含めシステム製作に必要な要素を取り扱っている会社が多く、ファクトリーオートメーション (FA) 分野で使用されていることもあり、長期間の部品や保守は保証されているし、安価である。一方たとえばコンパクト PCI は FA 分野および通信分野を取り込もうとして発展してきたが、FA 分野に対してはコスト高など、通信分野に対してはスペックが不十分であるなどの点で、すでに過去のものとなりつつある。よって VME というのは現状では長期的に見てよい解である。

ではなぜ 9U なのかであるが、まず 6U サイズ VME 神話に疑問を投げかけるところから始めたい。多くの方から 6U サイズの方が望ましいという話を聞くが、いまだかつて以下の疑問に満足いく回答を得られたことがない (ただすべてを市販品で済ませられる場合は別であろうが、われわれはそのような条件を満たしていないため、このような場合は考えない)。

- チャンネル単価を考慮すると 1 ボードあたりのチャンネル数を増やした方がよい。よって 6U よりは 9U の方がよい。
- クレートの値段は気になるが、実は現在それほど値段は違わない。会社によってはこの値段は同じという例もある。
- 製作するモジュールのコストが増大するというが、実際アナログデジタルミックス回路を製作する場合、S/N 比を満たし、ある程度複雑な回路をモジュール上に展開した場合、モジュールが小さい方がかえって実装密度を上げる必要があるためコストの増加を招く。
- 実際 6U サイズの VME モジュールは、われわれが使用してきた規格の中ではサイズは小さい部類である。

よって 6U サイズの VME のほうがよいという理由は見つからない。では 9U サイズを選んだ理由はなにか。それはクレート製作のときの部品をより安価に手に入れやすいということと COPPER 上の FINESSE、PMC-PCI カードのサイズを見ていただければすぐわかる。これ以上は小さく出来ないのである。小さくしてしまうとモジュールが載らないのである。

4.3 なぜモジュール化が必要か

これはひとえに汎用性をもたせ、かつ保守性をよくすることが目的である。色々な応用を考慮し共有できる部分を見だし、かつ産業用製品で転用できる技術を有効に利用するためには機能を分類し、ある規格によって具体的な形にし再利用することがモジュール化の意味である。そもそも NIM モジュールなどはこのような思想を持って始まったものと思われる。

具体的にはタイミングコントロール信号やデータのやり取りに関し共有できる部分は COPPER に入れ、特殊な部分は FINESSE に実装することで新規開発でも FINESSE 部分だけを開発すれば、既存のシステムが使用できるということになる。よってユーザにとって使い勝手はよくなる。ここで注意して欲しいのは“はじめに”でふれた“検出器からシリアル線で PC に接続しデータを取るシステム”の実現は、タイミングコントロール関係のブロックが集積回路レベルで実装されないと実現できないということである。これはトリガー信号など同期信号の仕様の標準化もしくはカスタマイズが終了し、ASIC などの集積回路レベルで実現できるようになってはじめて行えるものである。現状はボードレベルでの実装の方がコストや開発リスクを下げられるために COPPER や FINESSE の形で実現されており、この方が汎用性を高く出来る。しかしながら将来、後述する ASIC 開発のアクティビティがあがれば上記の実現は可能であるし、そのようにしていく。

4.4 なぜ市販品ではだめなのか

“特殊なモジュールは保守も含め心配な点があり使用が躊躇される。”

これはまったくナンセンスなコメントである。われわれの分野を一つの市場としてみた場合、会社がのどから手が出るほど欲しいような潜在的な需要が大きい市場でないのは、誰が見ても明らかである。よって LeCroy などは撤退したわけだし、われわれの必要なモジュールなどがすべて市販品の購入ですませられるわけではない。この状況で会社にシステムを発注しメンテナンスを含めすべて頼んだ場合、少し異なるシステムを構築するのにまた会社にお金を払ってシステム構築を頼むのであろうか？ 検出器の読み出しシステムは、大型加速器のシステムと異なり、まったく同じものを 10 年のスパンで使い続けることは困難である。理由は簡単で、実験が異なれば検出器は異なり、大なり小なりシステムを変えていく必要があるからである。これは少なくとも一部は自分たちで製作する必要があるということである。われわれは COPPER に関して回路図、レイアウト図などを含め、すべての情報を持っており、自分たちで製作することが可能である。この意味するところは、現在製作を依頼している会社が撤退したとしても自分たちでも製作可能であるということの意味し、保守などの心配はないことを意味する。ここで間違えて理解して欲しくないのは、われわれの主張は“何でもかんでも自分たちですべての技術を掌握すべきである”というつもりはないことである。重要なのは産業用技術を取り込むことは重要であるが、まずシステムの観点から、どのブロックを市販品で済ませ、どこのブロックをわれわれが維持すべきかを明確にし、この二つのインターフェースはなるべく長期間安定して使用できるものにする必要があるということである。われわれが維持するブロック内に中途半端に市販品を持ち込むことは危険であるといっているのである。データ収集プラットフォームでは、システムレベルから見た場合、前述のインターフェースはイーサネットであり、産業用技術を積極的に利用するブロックはコンピューターおよびそれ以降のシステムである。

5. 将来

現在このシステム、もしくはその一部はすでに BELLE, K2K, TA などの実験で使用され動作確認はされているが、さらに J-PARC のニュートリノビームラインやハドロン施設のデータ収集システムなどにも導入の予定である。

ここまでデータ収集プラットフォームの概要および議論を行ったが、われわれの将来に対してすでにいくつかの重

要な決定を行ったことを強調したい。それは“この方針の変更さえなければ、現在の技術、もしくはノウハウの蓄積は将来にわたって生かされる”ということである。

- 1 イーサネットをデータ転送、ランコントロールに使用する
- 2 マルチ CPU 環境でのデータ収集システムを考えている

これらについては汎用化や長期メンテナンスの観点以外に重要な点を含んでおり、この二つについてわれわれの目標と現状の技術開発の進行状況について述べる。

5.1 イーサネットのみでデータ収集システムの構築

表題の議論に入る前に、現在のデータ収集プラットフォームに関し“COPPER上のProcessor-PMCを使用しなくてもネットワーク上へデータを転送できるシステム”というオプションを、われわれはすでに考えていることを明確にしておく。

データ収集の観点からは、COPPER上のProcessor-PMCの存在理由は二つあった。一つはデータ加工（ヘッダの付加、データ圧縮を行うこと）、もう一つはネットワークプロトコルをコントロールする。これを導入することによりシステムの自由度はあがるが、その分ユーザの負担も増える。よって状況によっては、このボードがいない場合も出てくることを考えハードウェアでイーサネット上のTCP/IP、およびその他のプロトコル処理をハードウェアにさせてしまう方法を取りたいと思うのは自然である（コストも下げられるという利点もある）。ハードウェアにしてしまえばCOPPER上のソフトウェア開発は必要なく、COPPERに接続されたコンピュータ上のソフトウェア処理を行うだけでよくなる（図3参照）。

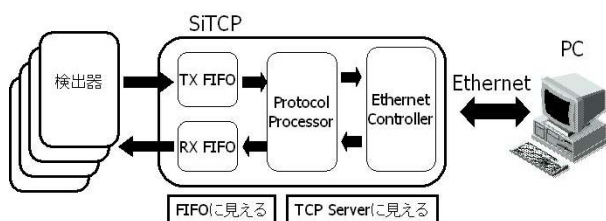


図3 SiTCP

さて一旦このようなもの（SiTCPと書くことにする）が出来てわれわれの手に入ってしまうと前述のCPUを使用したときに問題であったエレクトロニクスの発熱問題、ダウンサイジング、組み込みの問題はほとんど解決する。つまり図4のようなシステムの構築が可能となる。これをよく見ると、タイミング信号の仕様の決定と分配方法が決定して

しまえば、高度に並列分散化されたシステムであることがわかる。現状ではこのSiTCPの開発には目途が立っており、フロントエンド組み込み用ASICモジュール化とさらなる高速化（GbEなど）が次の重要な課題となっている。ここで注意して欲しいのは、SiTCPはCPUを使用していないという点である。他にもCPUコアもしくはCPU自身を使用する解もあるが、いくつかの重大な問題点が生じるため、われわれは行うべきでないと考えている。そのうちのいくつかについて述べる。一つは前述のCPU、メモリ、その他の回路による熱、雑音、実装サイズに関する問題である。これは技術的に避けられない問題で、このままではフロントエンドまでネットワークを持っていくことは現実的ではない。一方フロントエンドまで持っていけない場合はいいのか？ 極論をすると答えはNoである。CPUをFPGAに入れるにせよ、CPUのICを使用するにせよCPU周りの技術の変遷は速く使用可能な期間も短い。よってこの部分に関し汎用インターフェースを挟まずに直接使用した場合、汎用性がなくなることやすぐに保守ができないなどの問題を必ず起こす。この部分を会社に頼んで新規開発してもらった場合もまったく同様である（LeCroy撤退で困ったことになったときと同じことになる）。よってわれわれはPCIバスを挟まざるを得なかったわけである。

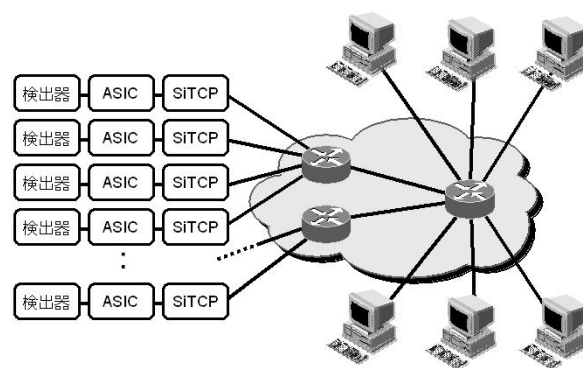


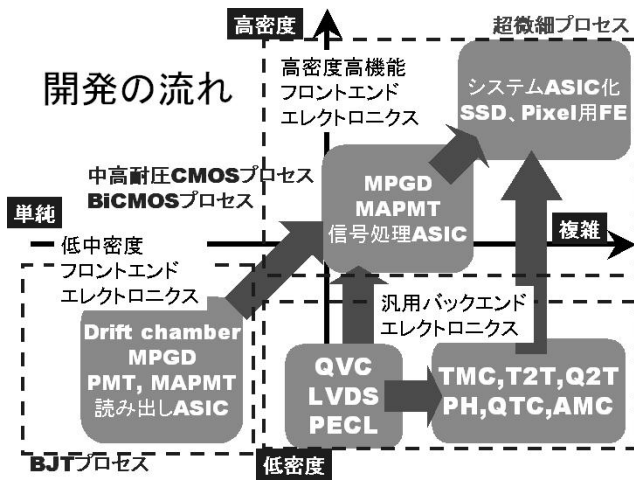
図4 SiTCPをフロントエンドに実装したときのデータ収集システム

さてこのSiTCPを使用したイーサネットのみのデータ収集システムに関しては、さらに次の二点を気にしなくてはならないことは明らかである。

- どのようにネットワークを組むべきかの指針が明確にし、またデータ収集システムを構築するためのツールを用意しておく必要がある。これは次節で述べる。
- タイミング信号仕様の共通化と必要な信号処理回路のモジュール化

ここでこのモジュール化という言葉は必ずしもボードレベルの実装を意味しない。たとえばASICライブラリをモジュールと呼んでもよい。実際重要なのはどの程度使いや

すいか、どの程度色々なものが用意されているのか、コストがどうかなど使用条件に応じて“ゼロから設計するのではなく、動作が確認されている回路ブロック”を組み合わせてデータ収集システムを構築できるように用意することである。一部はすでに実行に移されている。何種類ものFINESSEや、われわれのグループと測定器開発室や大学のメンバーなどで行おうとしているASIC製作のアクティビティの強化とASICライブラリ化の準備である。ASIC開発の方向性と組織化に関しては図5を参照されたい。



仕事の流れ

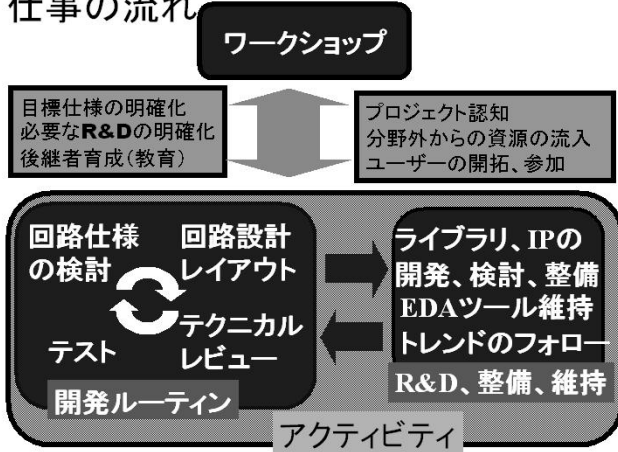


図5 ASIC開発の方向性と組織

5.2 マルチCPU下でのデータ収集システムの構築

さて高度に並列分散化されたデータ収集システムを考えた場合、現状ではマルチCPU環境でのデータ収集システムを考慮に入れなくてはならなくなる。ではCPU間はどのようなネットワークによって接続されるべきであろうか。現状ではエキスパートによって実験ごとにシステムが組まれている。どうしてこのような状態になっているのか、いくつか理由があると思われるが、このままではエキスパート

不足により、近い将来データ収集システムを構築するのさえ困難な状況になってくる。よって、下記の様なR&Dを行うことが必要であるのは明らかである。

- 1 データ転送能力に関し、要求仕様をみたくデータ収集用コンピュータネットワークをどのように製作するかに関する指導原理
- 2 システムティックなスタディにより、最新IT技術の技術の導入と過去の資産が利用できるようなソフトウェアのモジュール化
- 3 コンピュータの動作不良に対しても、データ収集システムが仕様どおりに動作し続けられるためのロバストネス

このうち(1)に関しては、パフォーマンスを解析的に定量的に見積もることが可能なモデルを構築中で、ネットワークがある条件を満たす場合は使用できる。われわれの場合にこの条件を当てはめることは可能であり、これからの課題は適応限界とアプリケーションによる違いを明確にしていけることである。また(2)および(3)に関しても、すでにミドルウェアのR&Dがはじまっており、何らかの方向性が見いだせるであろう。

これらの作業は色々な方面から様々な要求を聞きながらより具体的な方向性を見いだすことが重要になってきている。高エネルギー加速器実験グループだけでなく加速器研究施設、物質構造研などや機構外の組織(他大学や研究所)との連携を現在模索中である。ぜひ皆さんの意見、参加をお願いしたい。

6. まとめ

このプロジェクトは当初数人ではじまったが、現在は国内外の多くの研究者を巻き込みながら実験に使用されつつ進化している。実際、現時点で実験に使用されているものに落ち着くまでにいくつかの試行錯誤があった。ハードウェアに関しては、FINESSEの新規開発やPMCカードの開発に重点が移っている。一方ソフトウェア開発に関しては、実験ごとにカスタマイズされ製作されているが、近い将来これらの技術蓄積がまとまったある一つの方向に向かうことになればよいと思っている。

このプロジェクトの目標は、より汎用で、現在と将来の検出器テストや加速器実験などに適応可能な並列分散データ収集システムを作り上げることである。この目標を達成するのに、さらにもう一つ重要な境界条件があり、それは開発コスト、技術の維持コストをいかに下げられるかである。これを行うには、われわれの特殊な要求と産業用システム技術の分離を明確にし、どこまでなら妥協できるかを

探る必要があった。そのなかで選択されたいいくつかの技術は、われわれの側に導入され昇華され、最終的にはわれわれが維持していかななくてはならない部分に関してはブラックボックスがない状態に持っていくという努力がなされており、その方向に関しては現状ではシリアスな問題は見つからない。さらにこの方向の延長線上にあるシステムとして検出器から数本のシリアル線によってデータがコンピュータへ転送できるシステムを構築することも、遠くはない時期に達成可能と思われる。皆さんの協力が前提ではあるが。

議論を深め、なるべく多くの要求を満たし、このシステムの将来をよりよいものにしていくために、意見や要望を連絡いただくと幸いです。

このプロジェクトはオンラインエレクトロニクスグループのメンバーだけでなく BELLE, K2K, TA, J-PARC, TRIAC (不安定核実験) のグループと共同で行われたものである。特に、開発の初期から参加している BELLE DAQ グループの協力がなければ、現状のデータ収集プラットフォームは存在し得なかったと言っても言い過ぎではない。また、今回取り上げたイーサネットの CPU を使用しないハ

ードウェア化に関して、オンラインエレクトロニクスグループのメンバーの一人である内田智久氏は、測定器開発の傍ら、一人でほぼ現状まで仕上げてしまった。彼の力がなければ、ここまで早くイーサネットのハードウェア化は現実しなかった。これ以外にもニュートリノ実験グループ、東京大学、京都大学、広島工業大学、大阪大学、宇宙線研、ハワイ大学、クラコー原子核研究所、ブドゥカ原子核物理学研究所、高麗大学、成均館大学などの参加により、このシステムはより実用的なものになり、応用も広がった。

このプロジェクトに興味をお持ちの方々のために、コンタクトパーソンを以下に記す。

BELLE : 樋口岳雄 takeo.higuchi@kek.jp

BELLE タイミング分配システム :
中尾幹彦 mikihiko.nakao@kek.jp

J-PARC : 五十嵐洋一 youichi.igarashi@kek.jp

マルチ CPU 下でのミドルウェア :
安 芳次 yoshiji.yasu@kek.jp

SiTCP : 内田智久 uchida@post.kek.jp