

# アトラスミュオントリガーシステムのための エレクトロニクス開発と建設

高エネルギー加速器研究機構 素粒子原子核研究所

佐々木 修 池野 正弘

osamu.sasaki@kek.jp

masahiro.ikeno@kek.jp

2007 年 11 月 30 日

## 1. はじめに

2008 年夏の実験開始を目指し、LHC アトラス測定器の建設・インストール作業が CERN において急ピッチで進められています。LHC 計画、アトラス測定器の概要および期待されている物理に関しては昨年の本誌研究紹介記事[1]を参照してください。

図 1 はわれわれ日本 TGC ミューオングループが参加しているアトラス測定器ミュオンスペクトロメータシステムの断面図です。ミュオンシステムの最大の特徴の一つは、ミュオン運動量測定のためにカロリメータの周りを air core の超伝導バレルトロイド電磁石とエンドキャプトロイド電磁石が取り囲んでいることです。もう一つの特徴は、配置される検出器として、ミュオン飛跡精密測定用の検出器 (Precision Chamber) と Level-1 Trigger 用の検出器 (Trigger Chamber) を用途別に完全に分離し、別々のものを用いているということです。これは、LHC 加速器からのビームが 40 MHz の bunch crossing, 陽子・陽子衝突ルミノシティ  $10^{34} \text{ cm}^{-2} \text{ s}^{-1}$  での実験となり、物理的に有用な事象のデータのみをいかに効率よく選び出すことができるかが非常に重要となるためです。アトラス実験では、Level-1 トリガーにより 40 MHz のパンチ単位で測定器からのデータの取捨の判断が行われます。従って Level-1 トリガー情報を提供するべき Trigger Chamber に要求される性能としては、40 MHz の bunch crossing に対応するために 25 ns 以下の時間分解能が必要となります。また、Precision Chamber では  $\eta$  方向 (バレルでは  $z$ , エンドキャップでは  $r$ ) の飛跡情報しか得られないため、 $\phi$  方向 (second coordinate) の飛跡情報は Trigger Chamber が提供することになります。Precision Chamber としては、直径 30 mm のドリフトチューブを束ねた Monitored Drift Tube (MDT) が用いられます。更に  $|\eta|$  が 2 以上の衝突点に近い超前方では Cathode Strip Chamber (CSC) が用いられます。Trigger Chamber としてはバレル部 ( $|\eta| \leq 1$ ) では Resistive Plate Chamber (RPC)

が、より高いバックグラウンド頻度が予想されるエンドキャップ部では Thin Gap Chamber (TGC) が使用されます。TGC は、ワイヤー間隔 1.8 mm, ワイヤーとカソード間隔 1.4 mm の MWPC の構造をしています。25 ns 以上の時間分解能を実現するために 1.8 mm という狭いワイヤー間隔が決められています。 $r$  方向の情報は、要求される位置分解能に応じて束ねられたワイヤークラスタからの信号、 $\phi$  方向の情報はカソード側ストリップの信号が用いられます。詳細については参考文献[2]を参照して下さい。図 1 に示すように、衝突点からのミュオンはカロリメータ外側のトロイド磁場によって曲げられ、磁場を挟んで多層に配置されたミュオン検出器によって検出されます。TGC システムにおいては、エンドキャプトロイド電磁石後方 TGC1, 2, 3 の三つの Big Wheel ステーションによって飛跡測定が行われます。また、トロイド電磁石の内側にも TGC が置かれます。

本プロジェクトは 1994 年に日本アトラスグループが結成されて以来 12 年以上にもわたるもので、日本とイスラエ

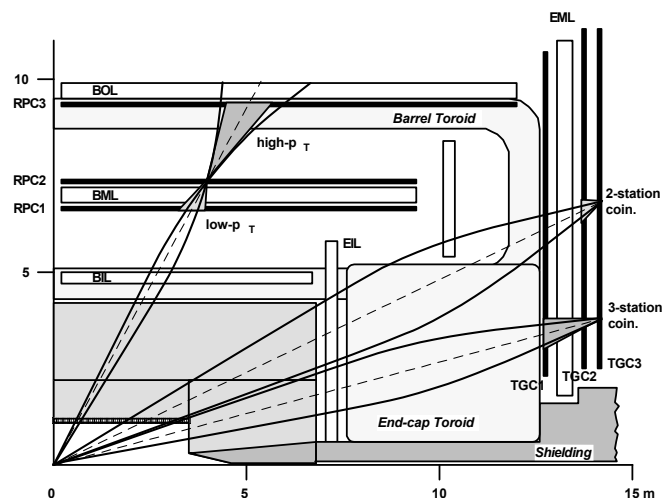


図 1 アトラス測定器ミュオンスペクトロメータ

バレル部では RPC2 が、エンドキャップでは TGC3 が pivot チェンバーとなる。

ルおよび中国が参加しています。TGC チェンバー本体の基本パラメータの決定から始まり、トリガーステーションとして重要となる個別チェンバーの配置方法、トリガーロジックスキームの決定など、本格的なエレクトロニクスシステムのデザインに入るまでにもかなりの日数を費やしました。また、総チャンネル数 32 万、4 種類の ASIC の開発、30 種類にも及ぶ回路モジュールの開発・製造も膨大な労力と時間を費やしてきましたが、それらの量産は 2007 年夏でほぼ終了しました。本誌上をお借りして、設計から開発・建設までのことを紹介したいと思います。

## 2. TGC システムの基本設計

TGC システムの使命は、 $P_t$  が 6 GeV 以上のミュオン飛跡に対して  $P_t$  値を 6 種類の可変閾値で特定し、その座標値と共に上位トリガーシステムに通知することです。アトラス測定器で許されている Level-1 Trigger 信号の latency は最大  $2.5 \mu\text{s}$  です。ここで言う latency とは、衝突時間から数えてすべての検出器の front-end 回路が Level-1 Accept (L1A) 信号を受信するまでの時間です。アトラス測定器の大きさと Central Trigger Processor (CTP) システムが置かれる測定室までの距離 (ケーブル長で最大 100 m) などを見ると、latency  $2.5 \mu\text{s}$  のうちの約半分がケーブルによる伝播時間で占められ、実際のトリガーロジックに許される時間は  $1 \mu\text{s}$  余りです。従ってトリガーシステムは 100% ハードワイヤのものとならざるを得ません。

トリガーロジックスキームを考える上で、個別チェンバーの配置は大変重要です。図 2 にチェンバー配置の  $R-\phi$  断面図および  $R-\phi$  断面図を示します。エンドキャップトロイド電磁石の後方に三つの Big Wheel TGC Station (内側から M1, M2, M3) が置かれます。M1 (TGC1) は 3 層の TGC チェンバー、M2 (TGC2) と M3 (TGC3) は各 2 層の TGC チェンバーで、合計 7 層の TGC が  $P_t$  値測定に使用されます。TGC3 は pivot station と呼ばれ、この station 内のミュオンヒット位置を基準にして TGC2, TGC1 station 内のミュオンヒット位置の直線 (衝突点と pivot station でのミュオンヒット位置を結ぶ直線) からのズレから  $P_t$  値を計算します。 $R-\phi$  断面図において太線部が一つの Trigger Sector を表します。大きい方の太線部は End-cap Sector, 小さい方が Forward Sector と呼ばれ、片端でそれぞれ  $\phi$  方向に 48 および 24 セクターから成り立っています。 $R-Z$  断面図を見ると、それぞれの Big Wheel (M1, M2, M3) のチェンバー配置がわかります。チェンバーのサイズおよびその配置は、入手できる材料 (G-10) のサイズおよびチェンバーサイズの種類とチェンバー総数の最少化から決まりました。同一サイズのチェンバーが、各 Big Wheel 内の随所に使われていることが図 2 から分か

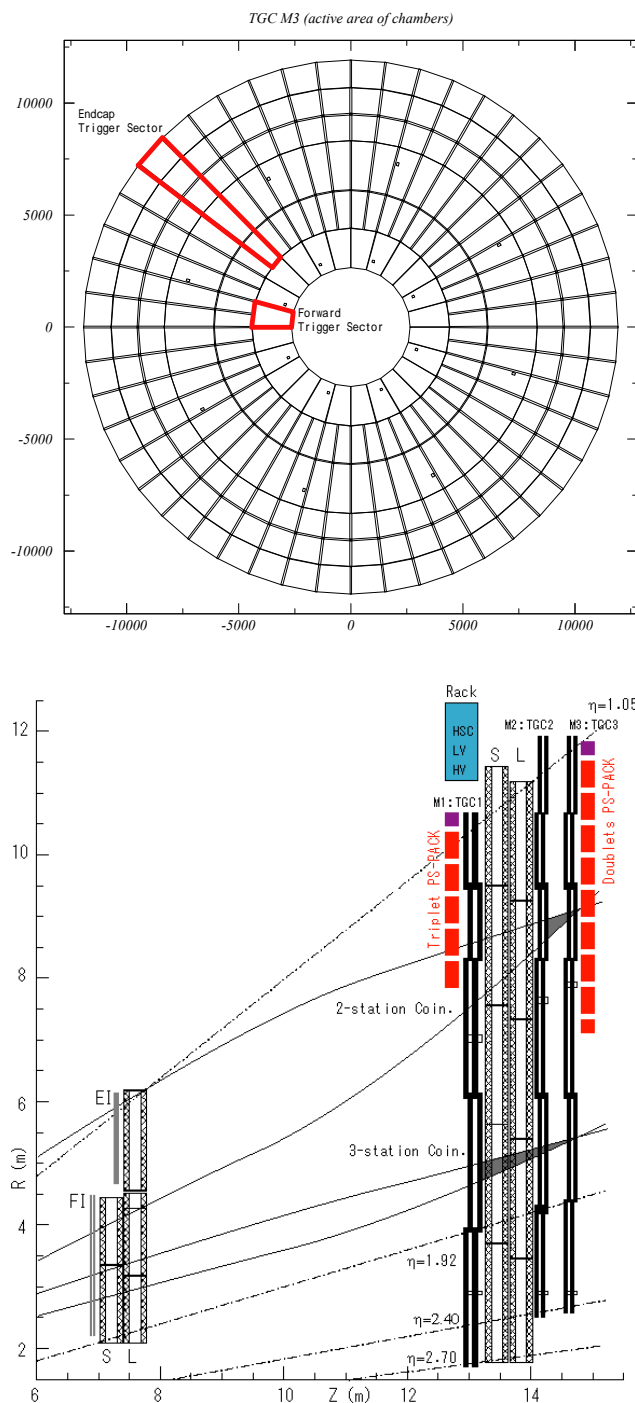


図 2 TGC3 (pivot) の  $R-\phi$  断面図と  $R-Z$  断面図

ると思います。その結果として、チェンバーとチェンバーの境界が各 Big Wheel 間でまったく projective でないということが起こります (Endcap と Forward Sector の境界である  $\eta = 1.92$  の部分を除いて)。また、各チェンバーからのワイヤー信号は  $\eta$  座標で projective にチャンネルングされなくてはならず、それぞれのチェンバーによって出力信号数がバラバラになるという結果をもたらします。これはトリガーロジックを設計する上で大変厳しい制約となりました。各チェンバーがお互いに projective に配置されていれば、

その単位でトリガーロジックを組むということが可能になるのですが(パレル部 Trigger Chamber の RPC はこの様になっています),これが出来ません。従って同一 trigger sector 内のチェンバーからの信号は一箇所に集められ, sector 内すべてのチェンバーからの信号をあたかも単一のチェンバーからの信号群のように隙間なく順番に並べなおしてからトリガーロジックに入れる必要があります。これは,トリガーロジックモジュールの設置場所にも大きな制限を加えることとなります。TGC からのワイヤグループ信号の granularity は,6 段階で設定する Pt 閾値での切れ味をシミュレーションすることにより決まりました。基本設計の途中では,一時は総数 80 万チャンネルぐらいにまで跳ね上がったのですが,ミュオンの多重散乱からの影響が大きく,あまり細かな granularity を採用しても期待ほどの効果がないことが分かりました。最終的には,総 TGC チェンバー数 3600 枚,総チャンネル数は 32 万チャンネルとなりました。ワイヤグループのチャンネル幅は, $\eta$  の大きい方(小さな  $r$  側)で 1cm ぐらい, $\eta$  の小さい側で 5cm ぐらいです。ストリップ幅は,すべてのチェンバーで 32 チャンネルです。また,ダブルレット TGC では二つのレイヤーのチャンネルは,お互いに  $1/2$  幅ずれており実効的に位置

分解能を上げるようにデザインされています。同様にトリプレット TGC についても相互に  $1/3$  幅ずれています。

TGC エレクトロニクスシステムの概観図を図 3 に示します。チェンバー本体に取り付けられた ASD (Amplifier-Shaper-Discriminator) ボードからの信号は PS-Board (Patch-Panel Slave Board) に導かれます。チェンバーからのヒット信号は, Patch-Panel ASIC に入り可変遅延回路を通過後 BCID (Bunch Identification) 回路により 25 ns (40 MHz) ごとのヒット信号に変換されます。変換されたヒット信号は,他の TGC レイヤーからの信号と共に SLB ASIC (Slave Board ASIC) に入ります。Doublets PS-Board 上の SLB では, TGC2 (M2) と TGC3 (M3) との信号で 3-out-of-4 コインシデンスのトリガーマトリックス (2-Station Coincidence) がとられ,飛跡情報(ヒット位置と磁場による飛跡のズレ情報)は, H-pT Board へと送られます。Triplet PS-Board では, TGC1 (M1) からの 3 層の信号を用いて 2-out-of-3 のコインシデンスがとられ,ヒット位置情報は同じく H-pT Board へと送られます。また, TGC のヒット信号は Level-1 Buffer と呼ばれる FIFO に書き込まれ, Level-1 トリガー信号受信時には該当するバッチのヒット情報がイベント ID 情報と共に Star Switch Board

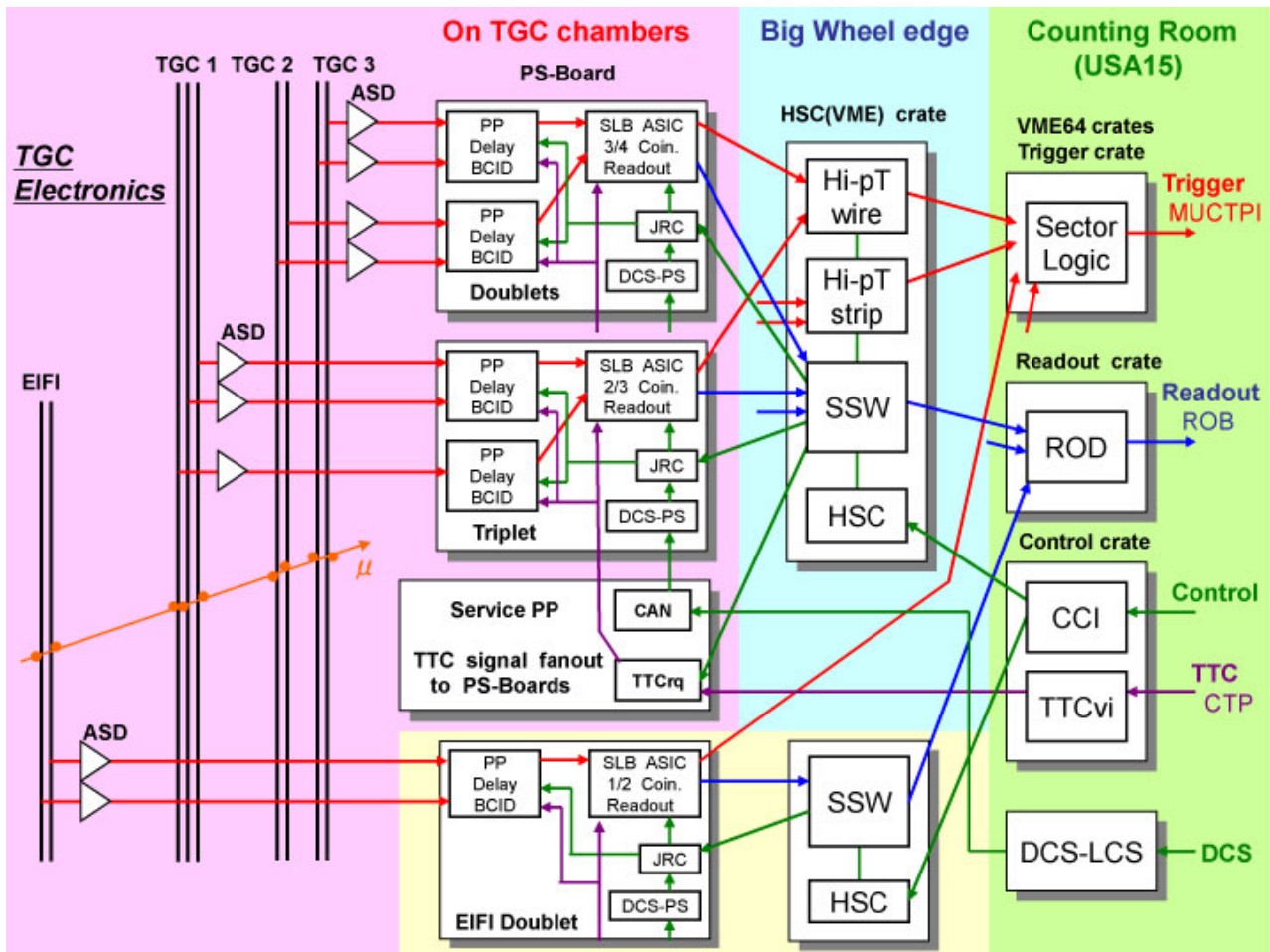


図 3 TGC エレクトロニクスシステムの概観図

赤のラインはトリガー信号, 青のラインは読み出し信号, 緑のラインはコントロール信号, 紫のラインはタイミング信号を表します。

(SSW)へと送られます。Doublets PS-Board からの TGC2-TGC3 間の飛跡情報と Triplet PS-Board からのヒット情報は、H-pT Board 内のコインシデンスマトリックス回路 (H-pT ASIC) により 3-Station Coincidence がとられます。TGC ストリップからの信号についても独立に同様の処理が行われます。ワイヤー信号およびストリップ信号からの飛跡情報は、各 H-pT Board から Sector Logic Board へと送られ、ここでワイヤー・ストリップ 2 座標からの飛跡情報が組み合わせられ、ミュオン飛跡の TGC3 pivot station 上での 2 次元位置情報と 6 段階の Pt 値情報に変換されます。Sector Logic は、Trigger Sector あたり最大 2 個のミュオン飛跡情報を Muon CTP Interface Board (MUCTPI) へと送ります。2 個を超える飛跡が存在するときは Pt 値の高いものが優先されます。また、バックグラウンドに対する耐性を強化するため、カロリメータ直後にある TGC EI/FI station からのヒット信号も必要に応じて使われます。SSW モジュールは複数の PS-Board からの読み出しデータを受信しイベント単位で並べなおした後、測定室に置かれる Read-Out-Driver (ROD) へと出力信号を送ります。LHC 加速器からの 40MHz クロックやトリガー関連の信号は、TTC (Trigger Timing Control) と呼ばれるエンコードされた光信号によって各測定器に配られます。この TTC は LHC 加速器で行われるすべての実験・測定器に共通な規格となっています。

回路設計をする上で大変重要なものの一つが、モジュールの設置場所と設置方法です。PS-Board は 1300 台を優に超える台数があり、上述したようにリードアウトのみではなくトリガーロジック回路を含むため、Trigger Sector 単位でまとまった場所に設置する必要があります。これは同一 Trigger Sector 内では PS-Board 間でのヒット信号の相互通信が必要となるためです。所謂クレート状のものを設置しこれに収める可能性も提案されましたが、まったくそのようなスペースはないとのことで、止むを得ず Big Wheel 上のチェンバーの上に並べることになりました(図 3, 4 参照)。Triplet PS-Board は M1 wheel の内側表面に、Doublets PS-Board は M3 Wheel の外側表面に  $r$  方向に並ぶ形で設置されました。改めて言うまでもないことですが、このような設置方法は、電源や制御信号を供給する上でも決して有利な方法ではありません。H-pT Board と SSW では、J1 バックプレーンのみが VME 標準の変形 9U VME クレート (H-pT/SSW Crate : HSC クレート : 奥行き 160mm) に収められます。この HSC クレートの制御は、測定室に設置された VME64x クレート内の CCI (Configuration Control Interface) と HSC クレート内の HSC コントローラ (HSC) からの通信によって行われます。アトラス実験室内の全 TGC Front-end システムのコンフィギュレーションやモニターは、この CCI - HSC - SSW - PS-Board のルートで

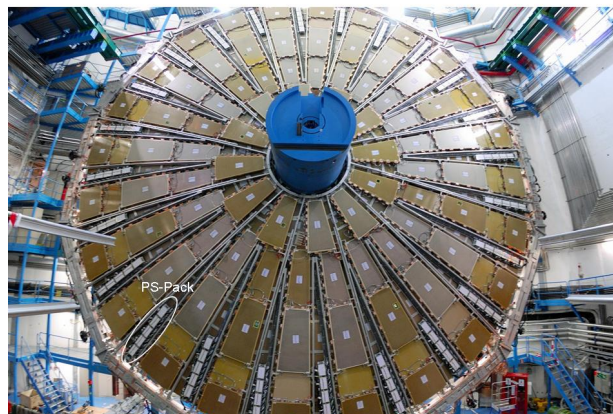


図 4 TGC1 Big Wheel 写真

Wheel 外よりに PS-Pack (PS-Board と Service Patch Panel) が付けられています。

行われます。SSW と PS-Board およびそのボード内の通信は、JTAG プロトコルを用いて行われます。PS-Board と H-pT/SSW 間の信号はシリアライズされた LVDS 信号 (480Mbps) が使われ、HSC/H-pT/SSW と測定室内の CCI/Sector Logic/ROD との通信には G-Link 光信号 (800Mbps) が使われています。

PS-Board 上には DCS (Detector Control System) カードが実装されており、ASD への閾値電圧の供給、チェンバーからのアナログ信号のモニター、電源・温度・位置センサーなどのモニターを行っています。測定室内 PC と DCS 間の通信は CANbus を用いて行われます。

リードアウト最終段の ROD と DCS はイスラエルグループによって、その他のすべてのモジュールが日本グループによって開発・建設されました。

### 3. ASIC 開発

TGC システムのために 4 種類の ASIC が開発されました。膨大なチャンネル数や要求される耐放射線性を考えると、ASIC 開発以外に解はありませんでした。開発は回路デザイン・設計まですべてわれわれの手で行いました。さらに ASD 以外は、コストが余りにも高いため CMOS プロセス製造とチップ組み立てのみを会社にお願ひし、チップの回路設計とレイアウトは元より、量産 ASIC の検査までも当方で行わざるを得ませんでした。

#### 3.1 ASD チップの設計と製造

TGC はその名前の通りワイヤーとカソード間のギャップが 1.4mm と非常に狭い構造になっています。また、要求される位置分解能 (束ねられるアノードワイヤーの数およびストリップの幅) は 1cm 程度以上の幅となります。その

結果,チャンネルあたりの入力容量は数百 pF 以上にもなります。高い信号頻度・早い信号処理と大きな入力容量と言う二つの要求はローノイズのアンプを考える時には互いに相反する要求となります。このような状況を考えると,トランスコンダクタンスの大きなバイポーラプロセスが CMOS プロセスと比べ圧倒的に有利となります。現在では半導体プロセスの主流は CMOS で,利用できるバイポーラのプロセスは大変限られたものになります。幸いソニーの協力により Bipolar Analog Master Slice のプロセスを利用することが出来ました。このプロセスは超ローノイズのトランジスタを提供しており,われわれの用途には打って付けのものでした。図 5 にブロック図を示します。初段はゲインが  $0.8 \text{ V/pC}$  のチャージアンプで低ノイズトランジスタが使われています。2 段目は 7 倍ゲインの差動アンプで,温度や信号頻度によるベースラインの変動を抑える回路が付加されています。最終段は,コンパレータで,その出力回路は ECL と同様のオープン・エミッターですが,電圧レベルとしては LVDS に合わせてあります。この ASD 回路 4 チャンネル分を一つの IC としてデザインしたのが図 6 の写真です[3,4]。開発開始から量産準備完了までに要した時間は丸 2 年でした。

量産は 100k チップ行いました。またこれとは別に他の実験用として今までに 18k チップ,積分定数を変更した ASD が 23k チップ製造されました。この ASIC の量産はチェンバー本体の建設・検査にも使用されるため 1999 年に量産されましたが,アトラス測定器全体としても最初の量産 ASIC でした。

3.2 Patch-Panel ASIC の設計と製造

Patch-Panel ASIC のブロック図を図 7 に示します。ASD ボードからのチェンバーヒット信号は, LVDS レシーバによって受信され,サブナノ秒単位で設定できる可変遅延回路へと送られます。遅延回路からの信号は,BCID (Bunch Identification) 回路によって LHC 加速器サイクル 40MHz クロックに同期した 40Mbps の信号へと変換されます。一つの IC で二つの 16-ch ASD ボードを賄い,それぞれ独立に設定できるようになっています。可変遅延回路は PLL (Phase Locked Loop) 回路によって実現されます。インバータゲートを奇数個並べてループを作れば「遅延設定電圧によって周波数可変」の VCO (Voltage Controlled Oscillator) が出来上がります。この VCO の発振周波数と外からの基準クロック 40MHz 信号を用いて PLL 回路を作ります。この回路が正しく働くと内部に作った VCO への遅延設定電圧が自動的に制御され,発振周波数が供給電圧や温度などの変化によらず一定に保たれます。この VCO 回路とまったく同じ回路で同じレイアウトのものをコピー & ペースト

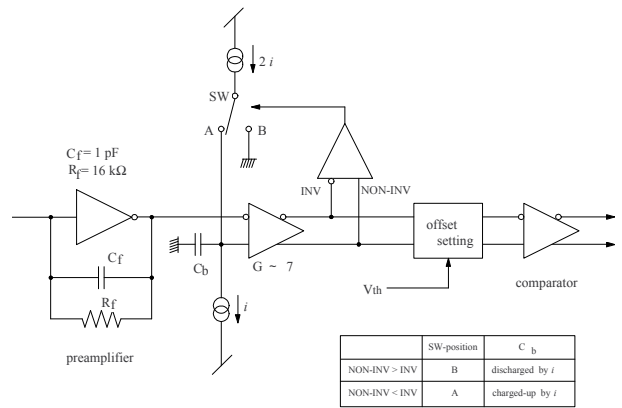


図 5 ASD ASIC のブロック図

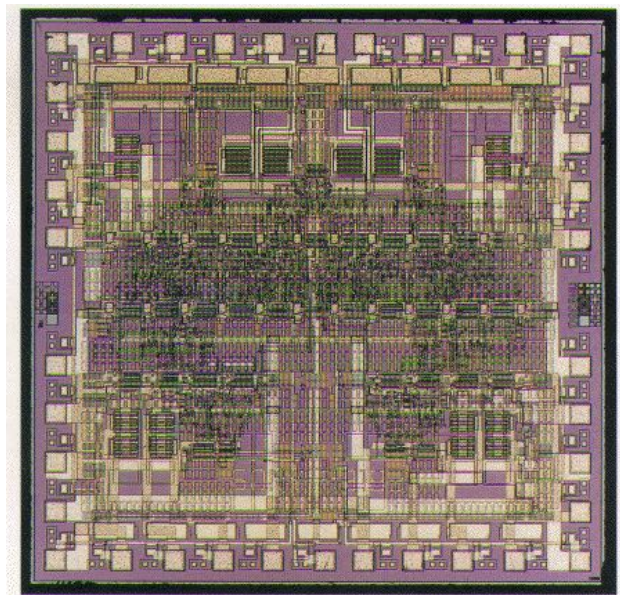


図 6 ASD ASIC  
サイズは 3.1mm × 3.1mm。

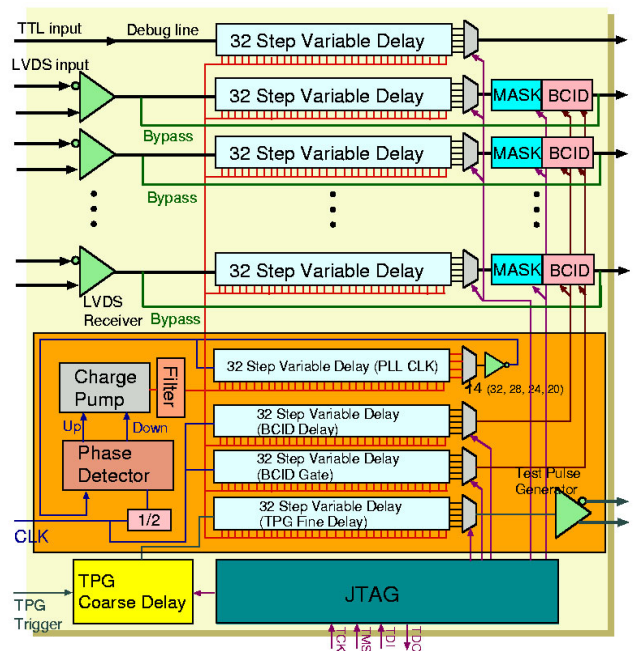


図 7 Patch-Panel ASIC のブロック・ダイアグラム

して遅延回路（31 段の遅延ゲート）を作ります。遅延回路の遅延設定電圧は PLL 内 VCO とまったく同じ電圧ですので、VCO の周波数が一定に保たれるのと同様に、遅延回路の遅延量も一定に保たれます。遅延量の設定は、31 段の遅延ゲートのどこからの信号を出力するかで決めます。また、この IC は ASD ボードへ送る Test Pulse も出力します。Test Pulse の大きさは 16 段階可変で、Test Pulse Trigger 信号受信後 Test Pulse 出力までの時間遅延も可変です。これらの設定はすべて JTAG プロトコルを用いて行います。

本 ASIC は VDEC（東京大学大規模集積システム設計教育研究センター）の協力のもとローム社の CMOS プロセスを用いて開発を行いました。当初は 0.6  $\mu\text{m}$  CMOS プロセスを用いて開発を行いましたが、最終的には 0.35  $\mu\text{m}$  CMOS プロセスに移りました。最終版が完成するまでに 5 年かかりました。量産はローム社の標準 1 ロット（25 枚ウエハー）で 25k チップ製造しました。

### 3.3 SLB ASIC および H-pT ASIC の設計と製造

図 8 に SLB ASIC（Slave Board ASIC）のブロック図を示します。この IC は一言でいえば、MWPC 読み出し回路とトリガー（飛跡情報取り出し）回路です。最大 TGC 4 層からのヒットデータ 160 チャンネルを受信し、トリガーロジック回路においては、飛跡の位置とその曲がり具合を求

め、飛跡情報としてエンコードして出力します。読み出し部は、ヒットデータおよびトリガーロジック回路からの飛跡情報を深さ 128 の FIFO に格納し、Level-1 トリガー受信時には該当するパンチと前後 1 パンチ分のデータをイベント ID と共に出力 FIFO に格納します。3 パンチ分のデータと IC ステータス情報はシリアルデータに変換され出力されます。

この IC は、回路規模としては 80 万ゲートと大きいのですがすべてがロジック回路です。すべてがロジック回路ということもあり、いくつかの会社にコンタクトを取り開発・製造コストの見積もりをお願いしましたが、1 億円前後の回答のみでわれわれの手の届く範囲ではありませんでした。覚悟を決めて VDEC 経由でローム社の 0.35  $\mu\text{m}$  CMOS プロセスを用いて独自開発の道を選びました。度重なる失敗を繰り返し、Version-6 で最終版が完成したのは初めての試作から足掛け 5 年後の 2005 年冬でした。これらの度重なる試作と失敗に対して、アトラスマネジメントのみならず協力をいただいているローム社からも叱咤（激励も）を賜り、スケジュール的にも薄氷の思いでの完成でした。量産は、2005 年に 1 ロット（25 枚ウエハー）で 5k チップ製造しました。この ASIC は、アトラス測定器全体として最後の量産 ASIC だと思います。

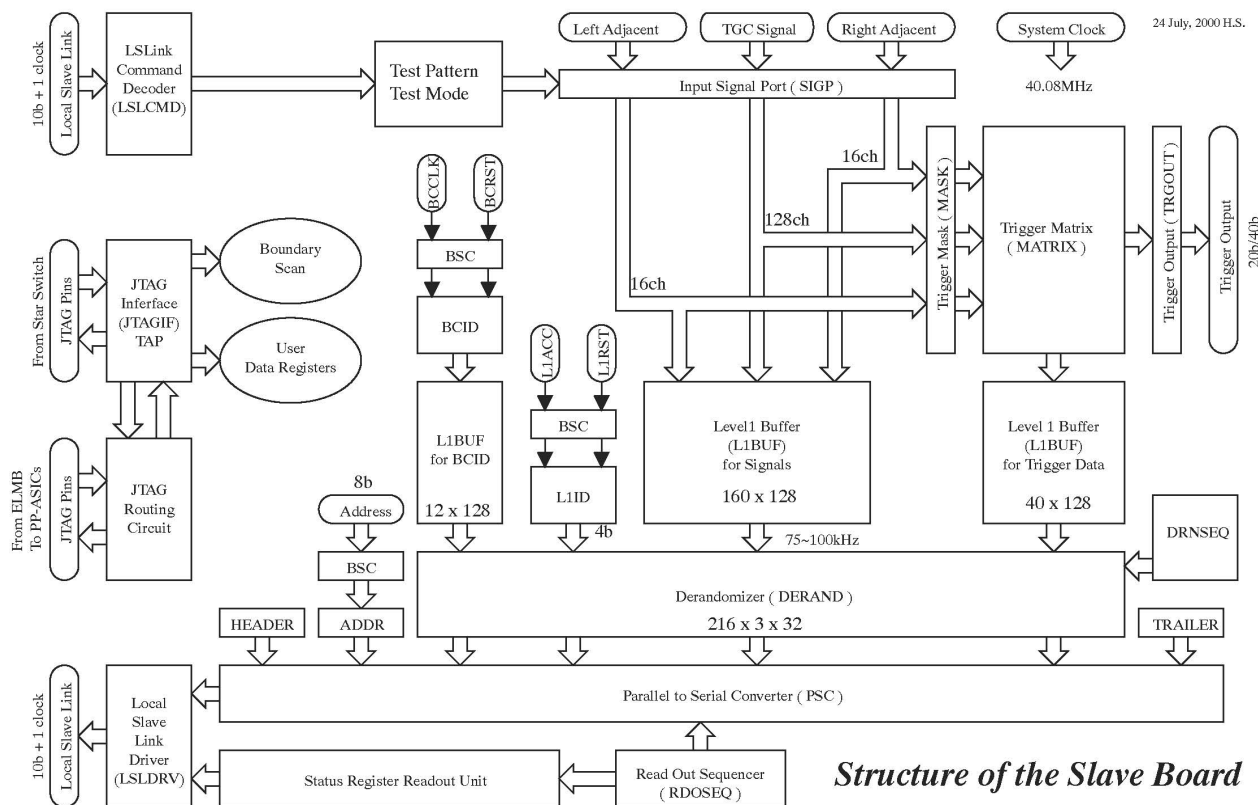


図 8 SLB (Slave Board) ASIC のブロック・ダイアグラム

H-pT ASIC は 2 段目のトリガー用コインシデンスマトリックス回路です。本回路は、トリガー回路と言う所謂ランダムロジック回路で奥行きのない論理構造になっており、回路記述もシミュレーションも比較的平易です。VDEC 経由で日立の 0.35  $\mu\text{m}$  CMOS Gate Array プロセスを使用し、2 回の試作で終了しました。量産は 1.2k チップ行いました。量産後、入力信号の可変遅延回路部にバグが見つかりましたが、標準ロジック IC を付加することで凌ぐことにしました。

#### 4. 耐放射線テスト

アトラス測定器の実験ホール内に置かれるすべての半導体は、放射線試験が義務付けられています。予想される被爆線量はシミュレーションにより電子回路の設置場所ごとに細かく計算されており、また放射線試験の方法についても細かく規定されています。耐放射線性の試験においては、 $10^{34} \text{cm}^{-2} \text{s}^{-1}$  のルミノシティでの 10 年間の運転を想定し、さらに各種の安全ファクターを掛けた値までの試験が要求されています。安全ファクターとしては、シミュレーションの不確定さ、製造ロット間での違いによるファクター、短時間での被爆試験 加速試験 に対する不確定さなどが掛けられます。この安全ファクターは、半導体のプロセス、ASIC か市販品か、また試験方法などで細かく規定されており、回路部品ごとに異なる値になります。結果として要求される耐放射線性は、予想値に対しての実際の試験被爆線量は 35 倍から 100 倍以上にもなります。TGC 測定器の場合は、Dose で言うと 10 年間での期待線量は高いところでも 10Gy 以下ですが、放射線試験では 1000Gy 近くまでの試験を行いました。中性子については  $10^{13} \text{1MeV equivalent neutron/cm}^2$  ぐらいまで行いました。もうひとつ放射線が半導体に及ぼす効果として、Single Event Effect (SEE) と呼ばれるものがあります。高速荷電粒子（高速中性子でも半導体内陽子との反応を通して同様の現象が起こる）が半導体内を通過した際に確率的に起こる現象で、メモリやレジスタの内容 0/1 が反転する Single Event Upset (SEU)、内部素子トランジスタの Single Event Latch Up、最悪の場合では Single Event Burn Out などがあります。

ガンマ線の照射試験は東京大学および首都大学東京の施設で、中性子照射は KEK の 12GeV PS の EP1 ビームラインおよびフランスの Prospero 研究所の小型原子炉からの中性子を用いて行いました。また SEE の試験は、東北大学サイクロトロン RI センターで 70MeV 陽子ビームを用いて行いました。われわれのシステムで使用される半導体としては 4 種類の ASIC に使用された各プロセス、LVDS Serializer/De-serializer IC、高速データ通信用 IC (G-Link)、光

電気変換素子、FPGA/CPLD、CMOS を中心とした標準ロジック IC、電源用 IC などです。ASIC や FPGA に関しては放射線試験用にリングオシレーターやシフトレジスターを実装し発振周波数や SEU クロスセクションなどを測定しました。

これらの一連の試験の結果、ガンマ線および中性子線照射に関しては、ほとんどの半導体で要求性能を満たすことが判明しました。試験を行った何種類かの FPGA/CPLD に関しては、Xilinx や Altera の書き換え可能な FPGA/CPLD は SEE 試験で要求を満たすものではありませんでした。しかし Actel の Anti-Fuse FPGA (書き換え不可) のみが要求を満たすことが判明しました。TGC システムの読み出し回路やコントロール回路など ASIC で対応できない部分については、この Anti-Fuse FPGA を使うことにしました。また、ASIC および FPGA 内のすべてのレジスタは、SEU 対策として多数決ロジック(1 つのレジスタを 3 個の flip-flop から構成し 3 者の多数決で 0/1 を決める)を採用することに決めました。

また、試験結果から見積もられる SEE によるデータ転送時のデータ化けおよびシリアル信号リンクロス、TGC 全システムでトリガー信号に関しては 0.2 data errors/min および 0.17 link errors/hr、読み出しデータに関しては 0.23 data errors/hr および 0.1 link errors/day となります。この数字は十分に許容の範囲と考えています[5]。

#### 5. モジュールの開発と製造・試験

図 3 から分かるように TGC エレクトロニクスシステムは、何種類ものモジュールから成り立っています。設置場所の強い制限や耐放射線性などの条件を加味し、モジュールがデザインされました。また、32 万チャンネルという膨大な量となり、「安く作る」というのが必須の条件となります。

##### 5.1 ASD Board

TGC 用として本 ASD IC 4 個を実装した 16-ch ASD Board は 25,000 枚製造されました。保護用のダイオードや抵抗、さらに test pulse 入力用の回路などを付加しました。また、チェンパー一枚に付き 1 チャンネルのアナログ出力 (LEMO) があり、チャージモニター用に使われます。基板製造と実装はすべて日本で行い、検査としては中国のコラボレーターである中国科学技術大学 (USTC) に送られ全品検査されました。検査では test pulse 入力を用いて ASD のゲインなども測られたのですがゲインの分散は  $\sigma = 1.1\%$ 、ボードの不良率は 0.25% という驚くべきよい成績でした。コラボレーションミーティングでこれを発表し

たとき、「It's a SONY!」という言葉がかかったのを覚えています。チップはソニー製ですが、基板および部品のアセンブリは茨城県内のローカルな中小企業によるものです（この2社はともに倒産して現在はありません）。

## 5.2 PS-Board および H-pT Board

開発された3種類のASICを除くと、実装されるべき回路部品としては、トリガーデータ、読み出しデータ転送やコントロール信号送受信のためのインターフェース素子が中心となります。PS-Board(図9)はASDボードからのヒット信号を受信するのは勿論ですが、ASDボードに対してDC電源、閾値電圧およびTest Pulse信号も供給します。システムデザインのところで述べましたが、複数のチェンバーからのヒット信号はこのボード上できれいに番号順に並べなおされ、隙間なくあたかも大きな1枚のチェンバーからの一様なヒット信号であるかの様にトリガーロジックへと配られます。そのためPS-Board上でのヒット信号の配線は、多種多様とならざるを得ません。結果的には17種類のPS-Boardが必要になりました。量産数は15%の予備を入れて約1600枚となりました。2枚のPS-Boardを一つのアルミフレームのケースに収め、TGCチェンバー上に設置された梯子上のフレームに取り付けました。TGCスペクトロメータシステムは左右のエンドキャップでミラー対称に作られています。そのため左右のエンドキャップでケーブルの引き回しが逆になります。これに対応するため、一方のエンドキャップ用のPS-Boardをアルミケースに裏表逆にして収めます。ちなみに、「ミラー対称の2種類のボードは作れないか」と質問されたときは目眩がしました。

H-pT Board(図10)は、TGC2、TGC3からの飛跡情報とTGC1のヒット情報をつなぎあわせるトリガーマトリクス回路です。マトリクスの前には、ケーブル長の違いなどから生じる時間差を調節するための遅延回路が付加されます。奥行き16cmの9U VMEモジュールで、VMEプロトコル部分にはAnti-Fuse FPGAが使われています。このモジュールは3種類で約200枚製造されました。

## 5.3 Sector Logic Board (SL)

SL(図11)はWire H-pT Boardからの $\eta$ 方向の飛跡の曲がり情報と、Strip H-pT Boardからの $\phi$ 方向の飛跡の曲がり情報を組み合わせて、最終的に6段階のPt値に変換し、その座標値と共にミュオン飛跡情報をLevel-1トリガースystem最終段へ送るものです。トリガースector内ではPt値の高い方から最大2個のミュオン飛跡が選ばれ、もしそれ以上の飛跡が見つかった場合はその旨のみ通知されます。トロイド電磁石による磁場が理想的なものならば、ミュオン飛跡は $\eta$ 方向にのみ曲がり $\phi$ 方向には曲がりません。しかし8角形のパレルトロイド電磁石に対して、同

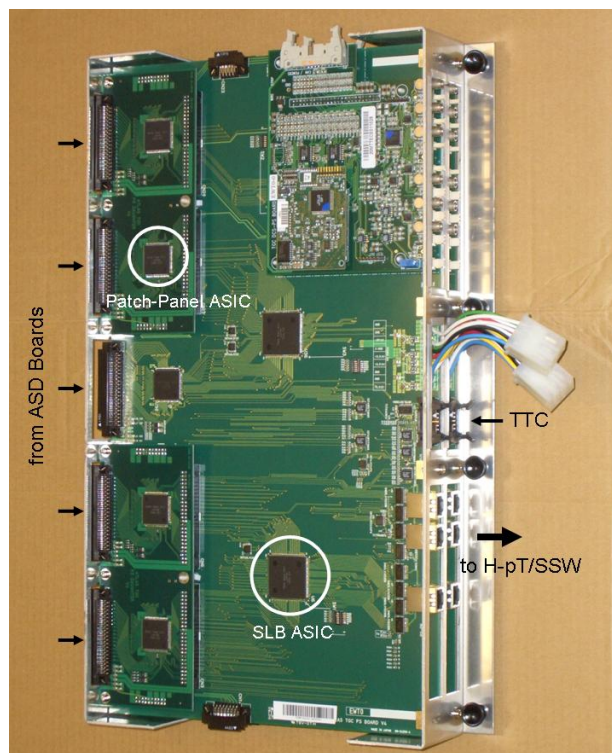


図9 PS-Board 写真

Patch-Panel ASIC 9個とSLB ASIC 2個が実装されています。

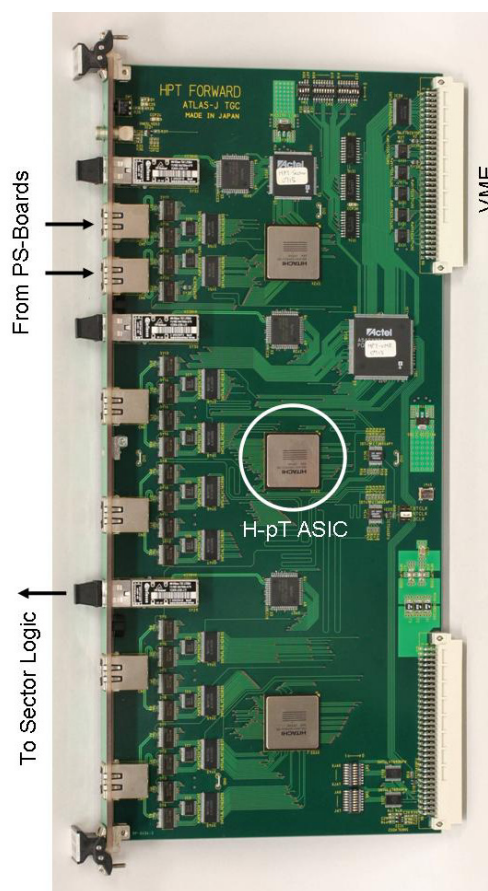


図10 H-pT Board 写真

H-pT ASIC 3個が実装されています。

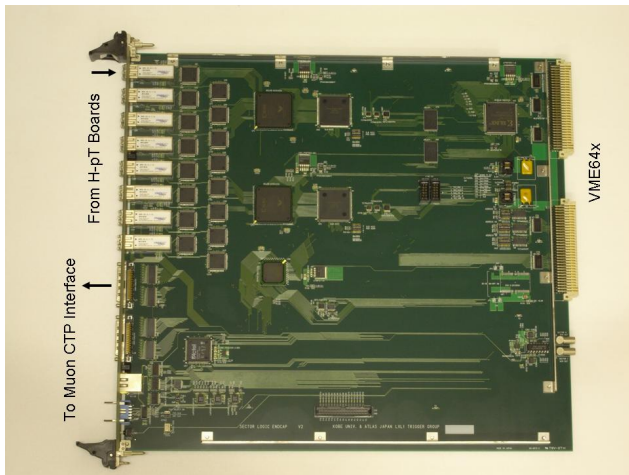


図 11 Sector Logic Board

Xilinx FPGA による LUT とデータ読み出し用に SLB ASIC を実装。

じく 8 角形 (星型) のエンドキャプトロイド電磁石は半フェーズだけ互いにずらした「入れ子」の関係で置かれているため、二つの電磁石の間で干渉が起き、場所によってはトロイド磁場が大きく乱れます。ミュオン飛跡で見ると、まったく曲がりのないところや、 $\eta$  方向ではなく  $\phi$  方向にのみ曲がるというようなところすらあります。このような複雑なトロイド磁場に対応するため、SL は非常に細分化された Look-Up-Table (LUT) を持っており、飛跡の場所・場所に依じた LUT により  $\eta \cdot \phi$  両方向の曲がりから Pt 値を算出します。また場所によってはマスクします。幸いにして SL は測定室に置かれるモジュールなので、豊富な回路資源を有する書き換え可能な FPGA を用いることが出来ます。本番においても、トリガーロジックのシミュレーションやバックグラウンドなどにより、必要に応じて LUT が書き換えられるものと思われます。モジュールは 9U VME64x 標準のボードサイズで、2 種類 82 枚量産されました。

#### 5.4 Star Switch Board (SSW)

SSW (図 12) は最大 10 台の PS-Board からの読み出しデータを受信し、各 SLB ASIC からのデータを同一イベント ID 番号単位に束ねて Read-Out-Driver (ROD) に転送するモジュールです。出力は 800 Mbps の光信号です。また、データの zero-suppress もこのボードで行われます。ボードは実験室内に置かれるため、耐放射線性を考えて Anti-Fuse FPGA で回路を実現する必要性がありました。通常の本書き換え可能な FPGA を用いて 2 度の試作を行い、内部回路のデバッグを行いました。また、試作モジュールは 2 度の CERN でのビーム試験にも使われ実践での色々な問題に対処できるように工夫され、入力シリアルデータラインのモニターや入力 FIFO の占有率などのモニター回路も実装されています。また、PS-Board のコントロール・モニターはこのモ

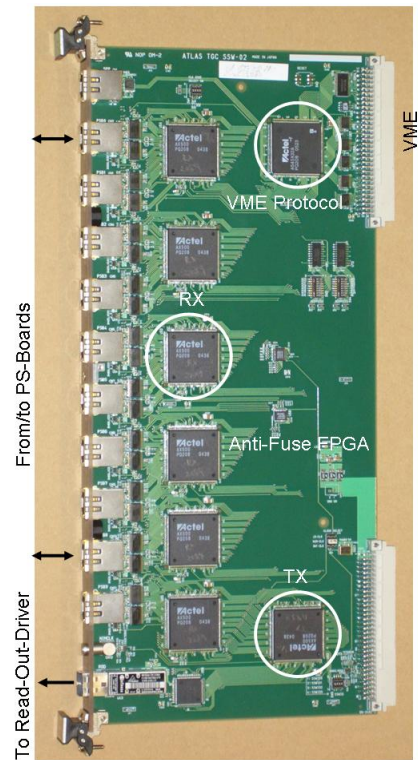


図 12 Star Switch Board (SSW)

Anti-Fuse FPGA を用いています。

ジュール経路で行われます。すべてのレジスターやシーケンサーなどの回路には、SEU 対策として多数決回路が採用されています。SSW は奥行き 16cm の 9U VME モジュールで 260 台量産されました。

#### 5.5 CCI - HSC モジュール

HSC クレートは、H-pT Board と SSW ボードを入れるための VME クレートで実験室内の M1 Big Wheel に取り付けられます。アトラス測定器において実験室内に VME クレートを設置するのはわれわれ TGC 検出器のみです。TCP/IP などのネットワーク環境も実験本番では使用できません。理由は、放射線環境下で使用できる VME コントローラや CPU ボードが存在しないからです。われわれは、VME クレートを実験室内で使用するための VME クレートコントローラを開発しました。それが Configuration Control Interface モジュール (CCI) と H-pT/SSW Crate Controller (HSC) モジュールです (図 13)。CCI モジュールは VME のスレーブボードで、VME クレートコントローラ HSC モジュールとの通信を行うものです。CCI モジュールと HSC コントローラ間の通信は、800 Mbps の G-Link 光通信で行われます。試作段階では、書き換え可能な FPGA を用いて HSC モジュールの実現を試みましたが、放射線による FPGA に対する SEU の影響が大変懸念されました [6]。最終版 HSC 内の回路はすべて Anti-Fuse FPGA が使われており、SEU 対策で多数決回路が使われています。VME アドレス

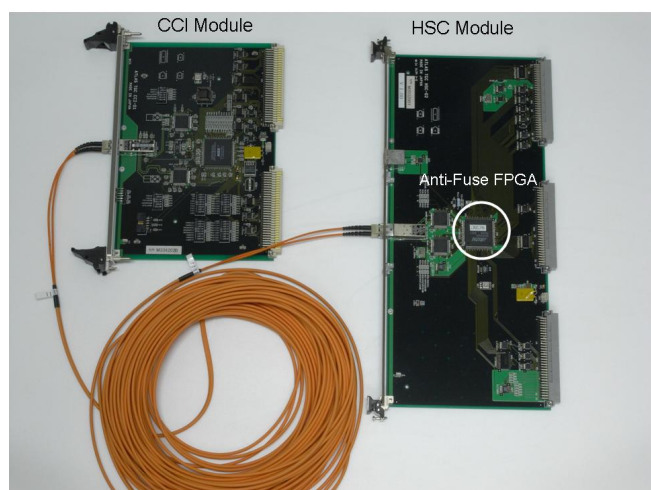


図 13 CCI-HSC モジュール

HSC では Anti-Fuse FPGA が用いられています。

としては A16/24/32 ,データは D16/32 をサポートします。また、割り込み処理も行うことが出来ます。このモジュールは TGC 検出器フロントエンドの configuration の要となるモジュールです。HSC モジュールは TGC 検出器用に变形 9U VME モジュールとして設計されています。30 セットのモジュールが TGC 検出器で使われます。

## 6. おわりに

10 年以上にもわたる TGC ミューオントリガーチェーン用エレクトロニクスシステムのデザインと建設は 2007 年夏の最後の PS-Board の製造でほぼ終了しました。量産回路の設置および組み立てられた TGC セクターとのアトラス実験室外での動作試験も一部を除き終了し、現在はほぼすべての TGC 検出器がアトラス実験室に設置されセクター単位での commissioning 作業が順次行われています。金額面での ¥1,000/ch という目標もケーブル、電源を除けば開発費も込みでクリアできました。この間にデザインされた回路基板の種類は試作まで入れると 100 種類以上にもほり、また最終の TGC 検出器システムでも簡単な Patch-Panel のようなものを除いても 30 種類にも及びます。実にたくさんの失敗を繰り返してきました。簡単なものから解決に非常に長時間を費やしたもので、金額的にもかなり大きなものまで色々でした。初めての CERN でのビームテストでは、回路系電源の ON/OFF などの問題により期間中に 50 個以上の IC が破損し、これを現場で修理しながら実験を続けるという惨憺たるものでした。2 回目以降は日本から LV 電源を運び、すべての回路へ同時にパワーが入るように変更して問題を解決しました。PS-Board の TGC セ

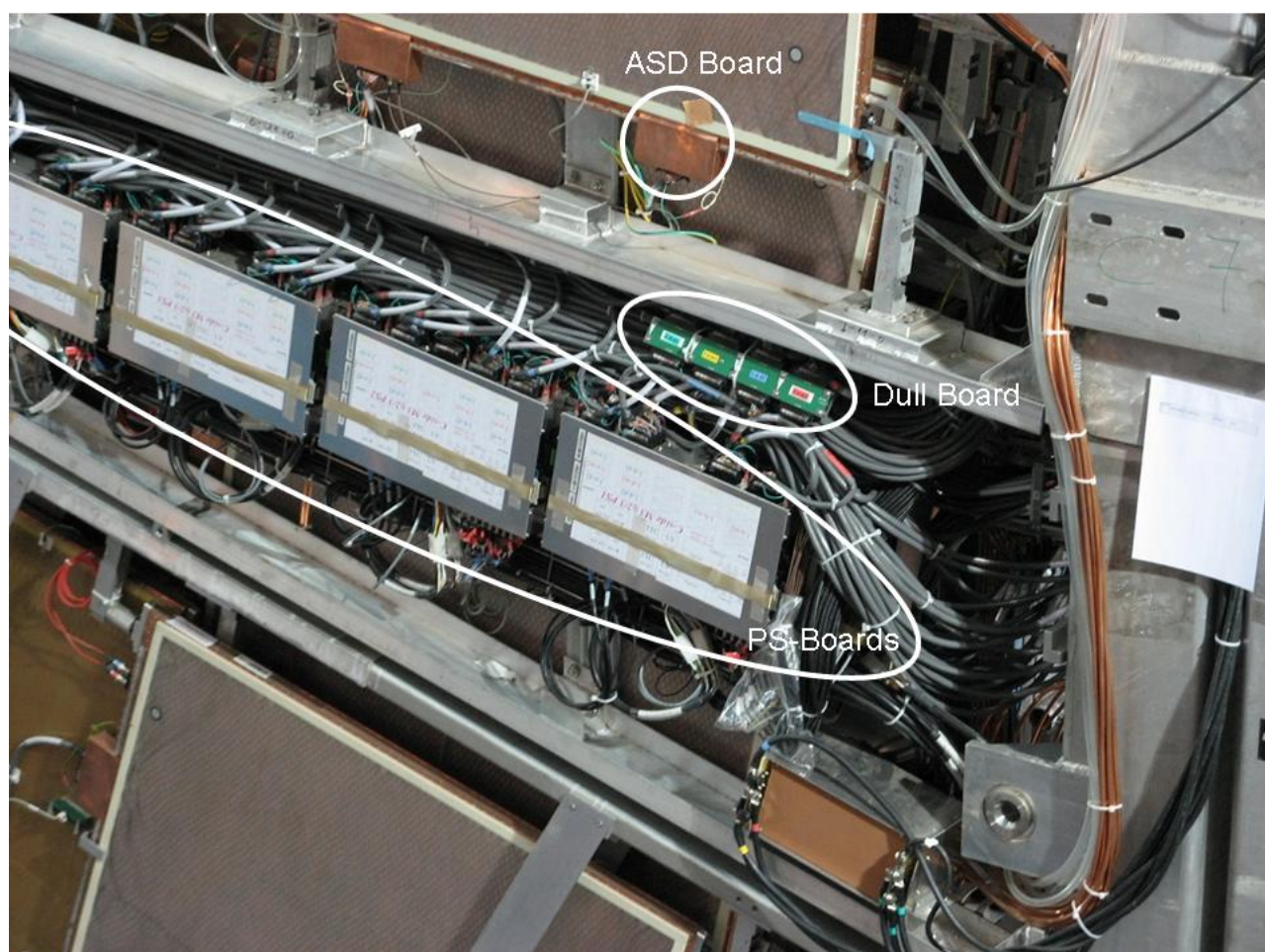


図 14 TGC3 Big Wheel の PS-Board , ASD Board および Dull Board  
ASD Board からの大量のケーブルが PS-Board 手前でひしめき合っています。

クターへの組み込み, およびその試験では, PS-Board と SSW・H-pT Board を繋ぐ CAT6 ケーブル (通常のネットワークケーブルです) 接続時の ESD (Electrostatic Discharge) により 150 個以上の LDVS Serializer IC が壊れ, これをすべて現場で交換するというもありました。原因が分かるまでに暫く時間がかかったのですが, 新品のケーブルを接続する前には discharge するということを徹底し解決しました。今年の最大の失敗は図 14 です。チェンパー本体のチャンネルアサインが回路のそれと食い違っていました。同様の食い違いが TGC 検出器全体で数箇所見つかりました。これはイスラエルのチェンパー製造側のミスによるものでしたが, 製造してしまったチェンパーを作り直すことは出来ません。仕方ないので 2 種類の PS-Board 計 112 枚の作り直し, チャンネルアサイン変換ボード (Dull Board と命名された) およびそのためのケーブル (Dull Cable) の製造を行いました (損失額をここに書くのは控えます)。今後, 来年夏の実験開始に向けて準備作業が佳境を迎えます。まだ踏んでいない隠された地雷 (失敗) が無いことをひたすら祈るばかりです。

ここ数年の CERN での TGC セクター組み立て, 検査および commissioning 作業については次号の高エネルギーニュースで紹介される予定です[7]。

TGC エレクトロニクスの開発は KEK, 東京大, 首都大学東京, 農工大, 信州大, 名古屋大, 京都大, 大阪大および神戸大との共同で行ってきたプロジェクトで実働部隊の中心は学生でした。4月に新人を迎え, 3月に卒業生を送り出すという出会いと別れを繰り返し, 効率の決してよくないデザインやノウハウの継承と蓄積を行ってきて, やっとこさ今に至ったという感じです。この一連の開発から commissioning までの長年にわたる建設過程では, 大学院学生の活躍によるところが大きく, 修士論文 31 編, 博士論文 2 編, 多数の学会発表 (数え切れませんでした) が発表されています。改めて関係者皆様に感謝します。この間にパーティに費やされた金額はスタッフの場合 100 万円 (もちろん自腹) をどれくらい超えているのでしょうか? これはあまり考えないことにしたいと思います。

## 参考文献

- [1] 浅井祥仁, 高エネルギーニュース, 24 巻 4 号 249 ページ, 2006 年。
- [2] 田中秀治, 高エネルギーニュース, 25 巻 2 号 37 ページ, 2006 年。
- [3] O. Sasaki and M. Yoshida, IEEE Trans. Nucl. Sci., **46** (1999) 1871.
- [4] <http://www-online.kek.jp/~sosamu/ASD-PRR.pdf>
- [5] R. Ichimiya *et al.*, IEEE Trans. Nucl. Sci., **52** (2005) 1061.
- [6] K. Hasuko *et al.*, IEEE Trans. Nucl. Sci., **49** (2002) 501.
- [7] 石野雅也, 高エネルギーニュース, 26 巻 4 号, 2008 年。