

■ 研究紹介

ミューオン $g - 2$ /EDM 実験用フロントエンドチップの開発奮闘記

KEK 素粒子原子核研究所

岸 下 徹一

kisisita@post.kek.jp

茨城大学大学院理工学研究科

佐 藤 優 太 郎

syutaro@post.kek.jp

2020 年 (令和 2 年) 6 月 1 日

1 はじめに

表題のフロントエンドチップとは検出器のセンサー直近に配置され、センサーからの微弱な信号を処理するための IC チップを指します。読者の皆さんには IC チップと聞いても、物理実験とどう関係するのか疑問に思われるかもしれません。しかし、Belle II 実験や ATLAS 実験に代表されるような大規模な検出器システムでは、センサーからの信号を処理するための ASIC (特定用途向け集積回路) と呼ばれる専用 IC チップが必ずといってよいほど使われています。また、高エネルギー実験だけでなく、天文や医療といった分野においてもイメージングシステムや多チャンネルの放射線検出器を作るために、専用 IC チップの開発が欠かせない技術になっているのです。そこで J-PARC ミューオン $g - 2$ /EDM 実験グループと KEK のエレクトロニクスシステムグループは共同で、精度の高い測定を実現するために性能を追求した専用のフロントエンドチップを開発してきました。そして、何回もの試作の末、すべての要求性能を満たすチップの開発に成功しました。本記事では、量産を目前にしたシリコンストリップ検出器用のフロントエンドチップの開発経緯に焦点を当て、J-PARC ミューオン $g - 2$ /EDM 実験グループと KEK のエレクトロニクスシステムグループが苦労をともにしながら、どのようにして課題を乗り越え、開発を進めてきたかについて紹介していきたいと思います。

1.1 ミューオン $g - 2$ /EDM 実験の概要

J-PARC ミューオン $g - 2$ /EDM 実験はミューオンの異常磁気能率 $g - 2$ と電子双極子能率 (EDM) を精密に

測定することで、標準理論を超える物理の発見を目指している実験です。ミューオン $g - 2$ はブルックヘブン国立研究所 (BNL) で行われた測定の結果 [1]、標準理論の予想値 [2] との間に 3.7σ の乖離が見られています。この乖離が標準理論を超える物理の兆候ではないかと注目を集めていますが、最終的な結論には至っていません。現在、フェルミ研究所 (FNAL) では BNL と同じ原理でミューオンの $g - 2$ と EDM をより精密に測定する実験が進行中ですが、J-PARC では BNL、FNAL とはまったく異なる手法でミューオンの $g - 2$ と EDM を測定する実験の準備を進めています [3, 4]。J-PARC ミューオン $g - 2$ /EDM 実験の特徴の 1 つであるミューオン冷却・加速による低エミッタンスマユーオンビームの生成に関しては過去の高エネルギーニュースで取り上げられているので、そちらもご参照ください [5, 6]。

1.2 シリコンストリップ検出器とフロントエンドチップへの要求

J-PARC ミューオン $g - 2$ /EDM 実験では、一様磁場中を周回するミューオンの崩壊陽電子の飛跡と時間を計測するために、シリコンストリップ検出器を用います (図1)。J-PARC のビームの特徴として、ビームの繰り返し周波数 25 Hz の大強度パルスビームであることが挙げられます。つまり、ミューオンビームが来るタイミングは事前に分かっており、限られた時間 (ミューオンビーム入射からミューオンの寿命程度の時間) の間に高いレートで粒子が検出器に飛んでくるという使用環境になります。崩壊陽電子がストリップ検出器に入射するレートは 1 チャンネル当たり最大 1.4 MHz です。シリコンストリップ

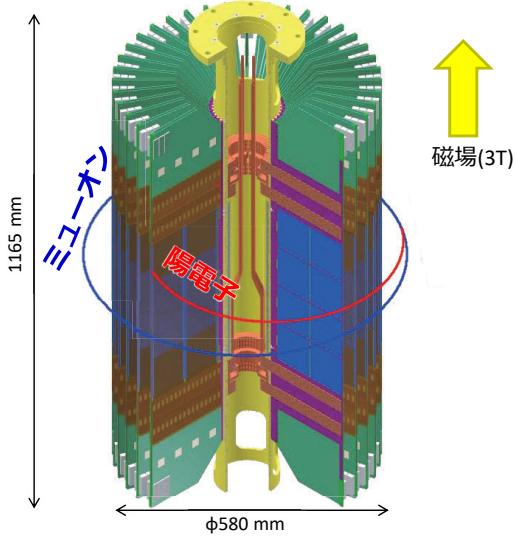


図1: J-PARC ミューオン $g - 2$ /EDM 実験のシリコンストリップ検出器の外観図。ミューオンビームは検出器の外側を周回しており、ミューオン崩壊で生じる陽電子をシリコンストリップ検出器で捕らえます。

検出器は他の高エネルギー実験でも使用されているため、それらのフロントエンドチップを流用すればよいと思われるかもしれません。しかし、残念ながら、他の実験のフロントエンドチップを J-PARC の大強度パルスビームに對して使用することは難しいのです。まず、高いヒットレートに対応するため、ヒット信号の有る無しのバイナリ情報をサンプリングする間隔を短くする必要があります。一方で、ミューオン $g - 2$ の測定のためにはミューオン寿命^{*1} の 5 倍以上の間、崩壊陽電子を測定する必要があります。これらの要請を両立させるためには、チップ内に一時的にデータを保存するための大きなメモリが必要となります。既存のシリコンストリップ検出器用のフロントエンドチップではこのような大容量メモリを保持しているものはありませんでした。そのため、J-PARC の大強度パルスビームに對応した J-PARC ミューオン $g - 2$ /EDM 実験専用のフロントエンドチップの開発が始まりました。ヒット信号の有る無しのバイナリ情報を 5 ns ごとにサンプリングし、深さ 8192 のメモリに蓄積することで 40.96 μ s の間のデータを保存できるようなチップが要求されました。さらにミューオン $g - 2$ 測定の要求精度を達成するために、センサーからの信号を処理するアナログ回路に次のような性能が要求されました。

^{*1} J-PARC の実験では 300 MeV/c の運動量のミューオンを使用するため、寿命 ($\gamma\tau$) は 6.6 μ s。

1. 粒子を検出するタイミング性能の指標である time-walk を、入力信号の大きさ (0.5–3 MIP) に依らず、サンプリング周期の 5 ns 以下に抑える必要がある。
2. 信号対雑音比 (S/N) を少なくとも 15 以上確保する必要がある。これは電子換算雑音 ENC で $1600 e^- @ C_{det} = 30 \text{ pF}$ に相当する。
3. 高レート環境下でパイルアップを防ぐために信号処理したパルス幅を 100 ns 未満になるように波形整形する必要がある。

1. の要求性能についてもう少し補足します。放射線検出器からの信号を処理する場合、フロントエンドチップの中では、まずセンサーからの電荷信号を増幅し、信号対雑音比を最大にするように周波数帯域を調整し、波形を整形します。一般的に、波形整形した信号は図2(左)に示されるようなガウシアンを非対称にしたようなセミガウシアンと呼ばれる形になります。この信号をコンパレータと呼ばれる信号比較器に入力して、0 か 1 のヒット情報をデジタル値として生成します。しかし、このセミガウシアン型の波形を用いて飛跡粒子のヒット情報を判断してしまうと、入力信号の大きさによって生成されるバイナリ信号のタイミングが変わってしまいます。ここで生じる誤差を time-walk と呼びますが、これを 5 ns 以下にすること (要求性能 1.) が、ミューオン $g - 2$ /EDM 実験で要求される最もプライオリティの高い要求性能でした。ではこの要求に対して、現場の開発チームはどのように対応していくのかを以下で詳しく説明したいと思います。

2 事の始まり

J-PARC ミューオン $g - 2$ /EDM 実験用のフロントエンドチップの名称は “SliT” といいます。著者の一人である佐藤は 2016 年 4 月に KEK に着任して、J-PARC ミューオン $g - 2$ /EDM 実験グループに加わりました。当時は小規模なアナログ回路の試作を経て、SliT128A と呼ばれる、128 チャンネル分の信号処理回路を 1 チップに含んだアナログ・デジタル混載チップの製作が完了した時期でした [8]。1 チャンネルのアナログ回路はセミガウシアン型の整形回路とコンパレータを組み合わせた方式を採用していて、図2(左図)に示すように、整形回路の出力が設定した閾値電圧を越えたタイミングで飛跡粒子のヒットタイミングを判定していました。この SliT128A の評価試験を進めた結果、雑音性能など多くの項目は要求性能を満たしているものの、time-walk は 17.2 ns と測定され、改善が必要だということが分かりました [9]。ど

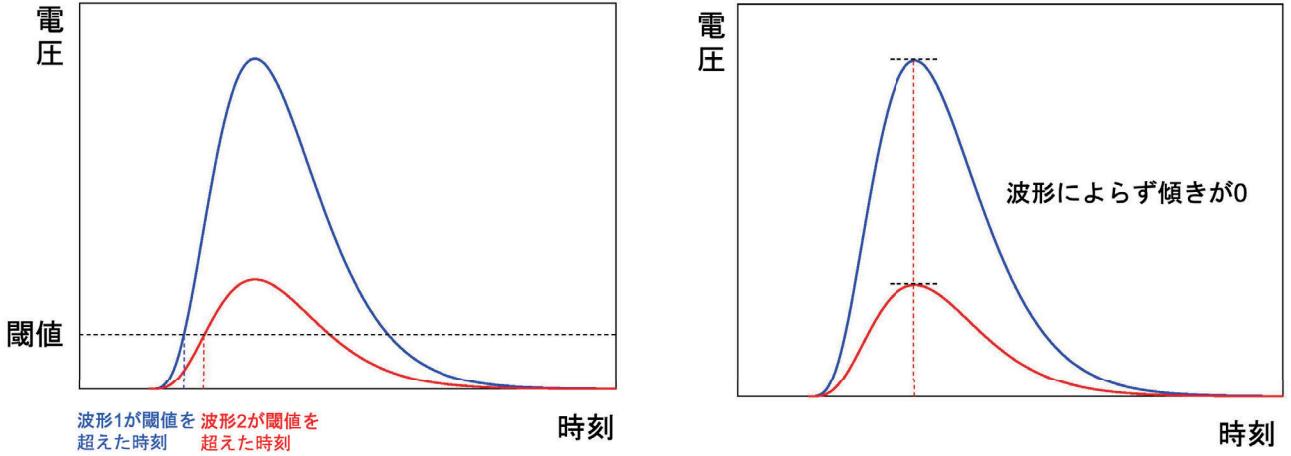


図2: (左図) デジタル信号が 0 から 1 に切り替わった時間を決める際, 通常は信号がある閾値を超えた時刻を測定しますが, この方法では信号の波形によって閾値を超える時刻が変わってしまいます。(右図) 今回, 開発チームは波形の傾き具合が頂点で平ら (傾きが 0) になった時刻でデジタル信号の 0 と 1 を切り替える回路方式を採用しました [7]。

の程度の time-walk 性能が必要になるかは, ASIC の波形を Geant4 による検出器シミュレーション内で再現して, 高ヒットレートの影響を見積ることによって算出しました。この結果から time-walk に関する要求は当初の 5 ns では不十分で, 1 ns まで抑える必要があることが判明しました。そして実験グループから「今より 1 枝以上の time-walk 性能を改善する新しいエレクトロニクスを開発してほしい」という一段と厳しい要求が開発グループに課されることとなりました。そんな状況のなかで著者の一人である岸下が 2016 年 11 月から KEK に着任し, 新しいことを始めようとしていた矢先に SiLi の白羽の矢が立ちました。

3 回路方式の見直し

新しいエレクトロニクスを開発するためにまず最初に行つたことは,これまでに開発したチップのレイアウトや回路図の地道なチェックでした。少し話はそれますが, 一般的に ASIC の設計は, Cadence 社の提供する CAD ツールを使用して, 回路を設計します。このソフトウェアの年間ライセンスは普通の会社が購入する場合は, 目が飛び出るほど高価なのですが, ありがたいことに大学共同利用機関である KEK は東京大学の旧 VDEC からアカデミックライセンスを発行してもらって, 無料で利用することができます。この専用のツールを利用して, 使用する半導体 CMOS プロセスのトランジスタパラメータを読み込ませて, 回路を組み上げていきます。さて, 本題に戻ります。トランジスタとトランジスタを接続する配線が長く

なると信号の遅延時間が大きくなり, time-walk に影響が出ます。そこで SiLi128A ではコンパレータに入力する配線が長くなりすぎてはいないか, 回路図の配線におかしな箇所がないかを CAD ツールを駆使して丁寧にチェックしていきました。また使用する CMOS プロセスのデザインルールに慣れるために, 小規模なアナログ回路を試作しました。例えば SiLi128A は, シルテラ社の 0.18 μm CMOS テクノロジーを用いて設計が行われており, アナログ・デジタル混載チップのために電源電圧を分けることができます。具体的には, アナログ回路とデジタル回路を deep Nwell と呼ばれるレイヤーで囲まれた別々の“ウェルの島”的な配置することによって, 電位を切り分け, デジタル回路からのノイズがアナログ回路に回り込まないようにします。この deep Nwell は, SiLi128A では用いられていませんでした。新しく作る ASIC で使用できれば, ノイズ性能などもさらに改善できるかもしれません。またレイアウトに関しても, それまでの開発ではデザインカンパニーにアウトソーシング(外注)していましたが, 業者とのやりとりを書類ベースで何度も繰り返さなくてはならず, 締め切り直前ではシミュレーションの結果をレイアウトにフィードバックさせる時間が確保できないという問題がありました。そこで自分たちの手で一からトランジスタを配置し, レイアウトをしていく方針に切り替えました。もちろんこれによって開発費を削減することにもつながりますが, より大切なことは, シミュレーションからレイアウトまで全部自分たちで行うことによって, 回路設計にありがちなブラックボックスの部分がなくなり, 経験や得られた知見がグループに蓄

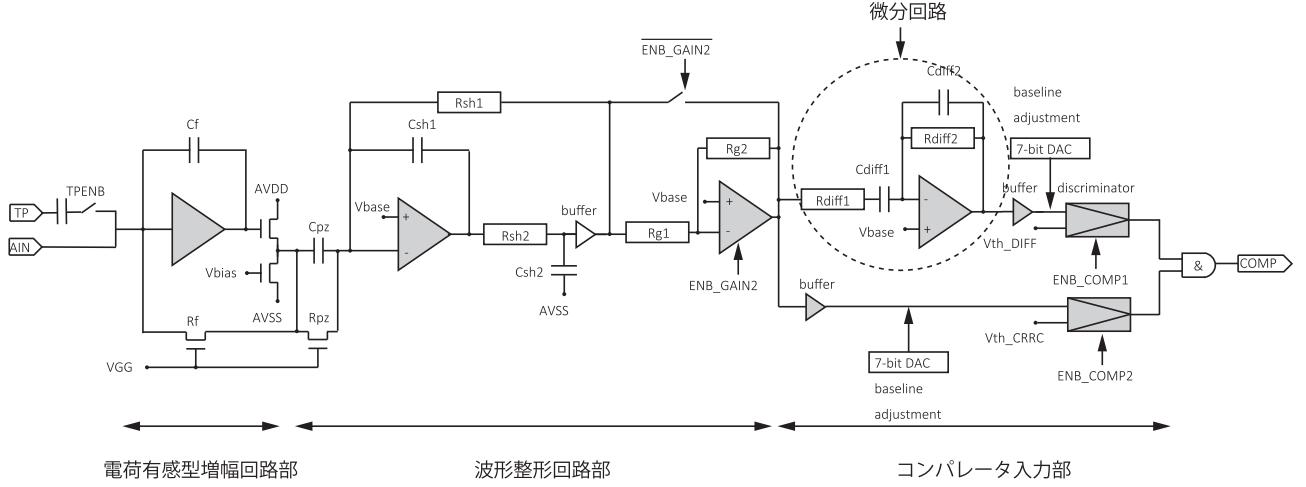


図3: SliT128C の 1 チャンネルに含まれるアナログ部の回路構成。

積されていくという点です。また、自分たちの手で物理実験のために新しい検出器を開発しているのだという自負が芽生え、開発チームに一体感が生まれました。

回路方式自体にも見直しを行いました。参考までに 1 チャンネルに含まれている回路(後述の SliT128C の回路構成)を図3 に示します。SliT128A チップの回路構成では、セミガウシアン型の波形整形回路の出力波高がある閾値を超えた時刻にデジタル信号が 0 から 1 に切り替わるようになっていました [7]。図3では、“コンパレータ入力部”的下段の信号経路に該当します。しかし、この方式では信号の大きさによって閾値を超える時刻が変わってしまいます。そこで、time-walk 性能を改善するために、図2(右図)に示したようなセミガウシアン型の波形整形回路の出力波形の傾きが平らになった時にデジタル信号が 0 から 1 に切り替わるようにしました。この方式は従来のセミガウシアン型の波形を微分することによって実現します。これは図3では、“コンパレータ入力部”的上段の信号経路に該当します。微分回路や積分回路はアナログ信号処理の真骨頂なので、それほど難しくはありませんでしたが、厄介なのは 1.2 節で述べた要求性能 2. と 3. のノイズ性能と処理速度です。この 2 つの性能はトレードオフの関係にあるため、両立が非常に難しく、何度も回路シミュレーションを繰り返しました。試行錯誤の末、試作したアナログチップ“SliT2017TEG”では、いくつかの問題点が見つかったものの、time-walk の値は 0.8 ns まで改善することに成功しました [10]。

4 フルボリュームチップへの道のり

試作した SliT2017TEG は 32 チャンネルだけを含むチップだったため、評価試験で得られた性能を 128 チャンネルに拡大し、SliT128A で使用していたデジタル回路部と合体させれば、要求性能を満たすフルボリュームチップの完成です。しかし、完成を焦るばかりにサブミットしたフルボリュームチップ SliT128B では、デジタル部で致命的な不具合が見つかり、足踏み状態を余儀無くされました。そこで開発グループは、デジタル部に関しても設計フローを再検討することにしました。

一般的にアナログ回路は、米国のバークレーが開発の発祥である SPICE シミュレータを用いて、トランジスタの動作点の変化を時間的(あるいは周波数的に)追跡しながら設計を行います。一方、デジタル回路は、論理回路と順序回路の組み合わせの中で 0 と 1 の離散信号のみを扱うため、SPICE シミュレーションよりは、Verilog や VHDL といったハードウェア言語をベースにしたシミュレーションが速度的に適しています。当時我々は、検証方法として市販の FPGA ボードに ASIC と等価のデジタルコードを移植して、動作検証を行っていましたが、128 チャンネル分の信号処理回路を FPGA に入れるのは利用できるメモリの関係上、難しく、チャンネル数 32 チャンネルに限定してデバッグを進めていました。しかしこの方法では 128 チャンネルの完全な動作確認ができないため、我々は、全チャンネルを含めたデジタル回路をシミュレーションする環境を整備することにしました。東京大学の旧 VDEC が提供している LSI 設計用の CAD ツール群を再検討し、自分たちに適した設計フローを模索しました。そしてトランジスタレベルで記述された RTL コードからデジタル回路のレイアウトを自動生成させ、さらに寄生容量を含めた実チップに限りなく近い状態でのシミュレーションの方法を確立しました。これによって、デジタル回路においてもブラックボックスがなくなり、まさに「自分たちの手で自分たちの要求を満たすチップの

開発」が行えるようになったわけです。

最後に一番大切なコストとスケジュールに関して議論になりました。一般的にチップの製作の仕方には 2 種類あります。1 つ目は少量数を安価に試作することを目的として、MPW (Multi Project Wafer) ランと呼ばれる、不特定多数のデザインが 1 枚のウェハーに相乗りするというものです。2 つ目はウェハーを全て自分たちのチップで占有し、大量のチップを製作するというエンジニアリングランと呼ばれる方法です。どちらの場合にもチップ自体は製作開始からおよそ 3 ヶ月で手元に届きますが、エンジニアリングランは自分たちの開発スケジュールに合わせて自由に利用できるのに対して、MPW ランの場合には年 4 回程度の決まった時期にしか利用できないという制限があります。MPW ランで製作されるチップ数はせいぜい 40 チップなのに対し、実際の検出器では、5,000 チップ以上が必要になるため、我々の場合にはエンジニアリングランが避けて通れません。したがって実験プロジェクトの開発スケジュールの中で、どのタイミングでエンジニアリングランを利用するかが問題となってきます。エンジニアリングランは多額のコストを要するため、失敗するとお財布と精神面で大ダメージを被ることになります。皆で議論を重ね、エンジニアリングランの前にもう一度 MPW ランで試作する方向に決まりました。2019 年 8 月がレイアウトを業者に提出する締め切りでしたので、直前の 1 か月間は周囲にも、「開発チームに声をかけてはいけない」という戒厳令が敷かれました。開発チームもお盆休み返上で、フルタイムを SiT の開発につぎ込みました。CMOS プロセスで生じる性能のばらつきやチャンネル間のばらつきなどをモンテカルロミュレーションで確認したり、チップ内のどの領域で IR ドロップと呼ばれる電圧降下が生じているのかなど、検証に次々検証を重ねました。そして 2019 年 12 月、ついに 128 チャンネルを含めたアナログ・デジタル混載チップである SiT128C が出来上がりました。これがエンジニアリングランに入るための最終版であるため、その性能評価に期待がかかります。

5 SiT の評価試験

評価試験は、開発初期の試作チップを除き、ペアチップを評価試験用基板に導電性接着剤で貼り付け、ワイヤーボンディングを自分たちで実装するところから行っています^{*2}。ASIC の評価試験で厄介なのは、チップの内部を直

接調べることはできることもあります。チップから出力されている信号の挙動から不具合の原因を推測し、シミュレーションで検証して、原因を追及していきます^{*3}。ここでも開発チームの絶妙なチームワーク（と距離感？）によって効率的なテスト・フィードバック作業ができました。

佐藤「アナログ波形が出力されないのですが...」

岸下「スローコントロールの出力はシミュレーション通りだろうか？」

佐藤「入力するパターンを変えたら出力されるようになりました。でも波高値が小さすぎる気がします」

岸下「帰還抵抗のバイアス電圧を変えてみるとどうなるだろう？」

佐藤「波高値が回復しますね。でも波形にアンダーシュートが見えるのですが...」

岸下「バイアス電流の設定を変えてみるとどうなるだろうか？」

佐藤「綺麗な波形が出力されるようになりました。でもリンクギングの消えないチャンネルがあるのですが...」

岸下「うーん、これは電源の IR ドロップっぽいなー。シミュレーションで確認してみますね」

こういったやりとりを通じて、お互いに測定や設計のエキスパートに一步近づくことができた気がします。

少し話が脱線しますが、過去に開発した SiT128A に関しては評価試験後、ミューイオン $g - 2$ /EDM 実験用の浜松ホトニクス製のシリコントリップセンサーと接続した試験モジュールを製作しました [9]。製作した試験モジュールは J-PARC の MuSEUM 実験で運用して、ミューイオニウムの超微細構造を世界最高精度に迫る精度で測定することに成功しています [11]。MuSEUM 実験での運用のために、データ収集システム、スローコントロールシステムを開発したおかげで、実際の実験を想定した様々な設定・環境で試験することができるようになり、それ以降の評価試験がスムーズに進むようになりました。

さて本題に戻ります。図4 に、完成した SiT128C の写真を示しました。2019 年 11 月末にチップが納品され、そこからボンディング実装を開始しました。はじめに、アナログ波形を観測することができ、まずほっと安心。次に雑音性能、パルス幅を評価していきました。SiT の評価試験のセットアップでは、チップだけでなく、テストパルスを生成するファンクションジェネレータなども含めて、すべての外部機器をリモート操作できるようになっています。そのため、評価に必要なすべてのデータをほぼ自動で測定できるようになっています。入力するテストパ

^{*2} ワイヤーボンディングは九州大学にあるオートボンダー (Kulicke&sofa 3700 plus) を使用しました。

^{*3} 「測定はチップとの対話」と言う人もいます。

ルスの信号の大きさとコンパレータの閾値電圧を変えながらデータを取り、ノイズを測定した結果、電子換算雑音 ENC は要求値 $1600 \text{ e}^- @ C_{\text{det}} = 30 \text{ pF}$ に対して、測定値が $1547 \text{ e}^- @ C_{\text{det}} = 33 \text{ pF}$ 、パルス幅は要求値 100 ns に対して、測定値が 74.5 ns と要求を満たしていることを確認しました。最後に、要求が厳しくなった time-walk を評価しました。time-walk 性能を最大限引き出すには、閾値を適切に設定する必要があります。しかも、セミガウシアンを出力する回路と、それを微分した回路に対して、それぞれ適切な閾値を設定する必要があります。適切な閾値を求める手順を確立して、time-walk を評価した結果、要求値を大きく下回る 0.38 ns にすることができました。表1に SliT128C の性能をまとめました [12]。ミューオン $g - 2/\text{EDM}$ 実験のためのシリコンストリップ検出器の心臓部であるフロントエンドチップを開発するという大きなマイルストーンの 1 つを達成したことを記念して、開発チームで KEK の 4 号館の前で記念撮影をしました(図5)。

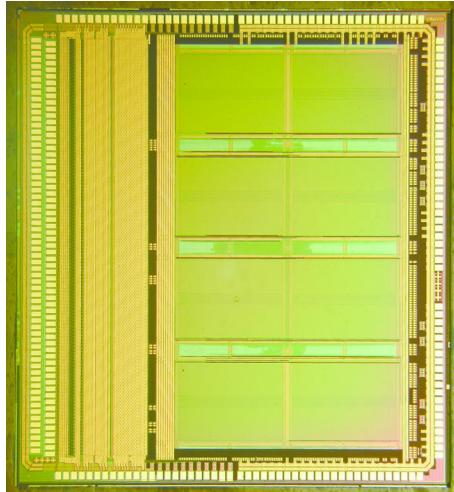


図4: 開発した “SliT128C” チップ。大きさは $6.54 \text{ mm} \times 7.2 \text{ mm}$ 。写真左側に見えるのがストリップセンサーからの電極をワイヤーボンディングで接続するための 128 チャンネル分のメタルパッドで、右側が主にデジタル回路に相当します。

6 おわりに

J-PARC ミューオン $g - 2/\text{EDM}$ 実験グループと KEK のエレクトロニクスシステムグループが共同で進めてきたシリコンストリップ検出器のフロントエンドチップは、いままさに量産を開始しようとしています。SliT128C をマイナーフィックスしたものを作成する予定ですが、最後まで気

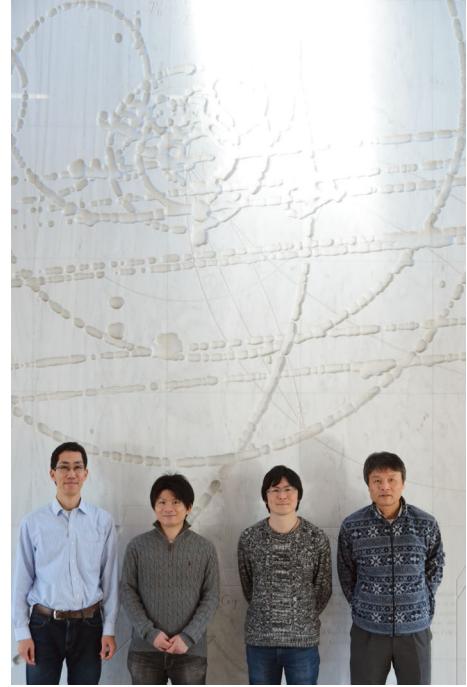


図5: 開発チームの中心メンバー (©KEK)。左から岸下准教授 (著者), 濱田准技師, 佐藤研究員 (著者), 藤田技師。

を抜かずに丁寧に仕上げていきたいと思っています。タイミングに特化したバイナリ読み出しチップを、という実験グループからの要求を満たすために試行錯誤して完成了 SliT ですが、チャンネル数や雑音性能などは、汎用的に使える仕様となっています。ミューオン $g - 2/\text{EDM}$ 実験だけでなく、ストリップセンサーを使う他の物理実験にも活用できれば、もっと面白いことができるかもしれません。興味のある方は是非著者の方までお声がけいただければと思います。

現在、実験サイトである東海村の J-PARC ではミューオン $g - 2/\text{EDM}$ 実験を含む基礎物理実験のためのミューオンビームライン “H-line” の建設が始まっています。J-PARC ミューオン $g - 2/\text{EDM}$ 実験グループとしてはフロントエンドチップの量産と並行して、シリコンストリップ検出器の組み立てに向けた研究開発により力を入れて、進めていきたいと思います。KEK エレクトロニクスシステムグループとしてはこれからも実験グループをサポートできるような高性能のエレクトロニクス開発を行っていきたいと思います。最後になってしまいますが、このフロントエンドチップ “SliT” の開発は、フロントエンドチップの設計から、読み出し基板の製作に至るまで、Open-It (Open Source Consortium of Instrumentation) [13] のプロジェクトとして進められたものであり、多大な支援と協力を頂きました。この場をお借りして感謝の意を述べたいと思います。ありがとうございます。

表1: SliT128C の性能一覧

項目	要求性能	シミュレーション	実測
Peaking time	< 75 ns	35.1 ns	64.2 ns*
Pulse width at 1 MIP	< 100 ns	75.0 ns	74.5 ns
Dynamic range	> 4 MIP	8 MIP	> 7.8 MIP
ENC	$< 1,600 e^- @ C_{det} = 30 \text{ pF}$	$1210 e^- @ C_{det} = 30 \text{ pF}$	$1547 \pm 75 e^- @ C_{det} = 33 \text{ pF}$
Time-walk (0.5-3.0 MIP)	< 1 ns	0.4 ns	$0.38 \pm 0.16 \text{ ns}$
Jitter at 0.5 MIP	< 5 ns	4.89 ns	$4.8 \pm 0.2 \text{ ns}$
Power consumption	0.64 W/chip	N.A.	0.30 W/chip

* この値はアナログモニタを通して出力された波形を元に測定したものです。アナログモニタから出力される波形は浮遊容量やモニタのバッファ能力によりチップ内部の波形に比べてなまってしまっているため、真の性能を示した値ではありません。

ざいました。

参考文献

- [1] G. W. Bennett *et al.* [Muon g-2], Phys. Rev. D **73**, 072003 (2006).
- [2] T. Aoyama *et al.*, arXiv:2006.04822.
- [3] M. Abe *et al.*, PTEP **2019**, 053C02 (2019).
- [4] 三部勉, 石田勝彦, 佐々木憲一, 高エネルギーーストーリーズ **31**, 209 (2012).
- [5] 三部勉, 石田勝彦, 高エネルギーーストーリーズ **35**, 110 (2016).
- [6] 大谷将士, 北村遼, 近藤恭弘, 高エネルギーーストーリーズ **37**, 20 (2018).
- [7] <https://www2.kek.jp/ipns/ja/post/2020/03/20200309/>.
- [8] 長澤翼, 日本物理学会第 71 回年次大会, 2016 年 3 月, 東北学院大学, “シリコンストリップ検出器用読み出し ASIC · SliT128A の性能評価”.
- [9] T. Aoyagi *et al.*, JINST **15**, P04027 (2020).
- [10] Y. Tsutsumi *et al.*, “Prototype Front-end ASIC for Silicon-strip Detectors of J-PARC Muon g-2/EDM Experiment”, Proceedings of Science, TWEPP-2018.
- [11] 西村昇一郎, 日本物理学会第 73 回年次大会, 2017 年 3 月, 東京理科大学, “MuSEUM 実験: 時間微分ミューオンスピン共鳴法によるミュオニウム超微細構造の測定”.
- [12] T. Kishishita *et al.*, arXiv:2006.08095.
- [13] Open-It web page, <http://openit.kek.jp/>.