Belle II 実験のデータ収集システム

KEK 素粒子原子核研究所
伊藤 領介, 中尾 幹彦, 山田 悟
KEK 計算科学センター
鈴木 聡
首都大学東京
今野 智之
東京大学カブリ数物連携宇宙研究機構
樋口 岳雄

2014年(平成26年)11月18日

1 Belle II データ収集システム

新世代 B ファクトリ実験である Belle II 実験は加速 器,検出器ともにその建設が順調に進んでいる。一部の 検出器はすでに測定器構造体内への組み込みが完了し, データ収集システムへの組み込みがまさに始まろうとし ている。本稿では Belle II データ収集システムの詳細を 論じるとともに,2014年1月にドイツ DESY で行われ たバーテックス検出器のビームテストにおけるデータ収 集システムの実証試験について述べる。

Belle II 実験では Belle 実験の 40 倍以上の高いルミ ノシティでのデータ収集が行われる。そのため検出器は occupancy を低く抑えるために検出要素を高精細化した 設計がなされている。また CP の破れのより詳細な研究 のためにピクセル検出器が採用されている。その結果検 出器からのデータ量はイベントあたり総計で 1MB を越 える。またレベル1トリガーレートも最大で 30kHz と 見積もられている。Belle II データ収集システムに要求 される性能を表1にまとめる。データの流れに換算す ると1秒間に 30GB という膨大なデータ量となる。もち ろんこのデータの流れをそのまま記録することは非現実 的であり、データ収集システム内のリアルタイム処理で どこまでデータ量を削減出来るかが Belle II データ収集 システムの設計の鍵となる。

また Belle II 実験のデータ収集システムには可能な限 りデータを取りこぼさないことが要求される。不感時間 を最小にするとともに、システムトラブルによるダウン タイムを最小にする設計が必要である。

この様な要件の基に設計した Belle II データ収集シス テム [1] を図 1 に示す。トリガーシステムから受け取っ たトリガー信号は,加速器の RF 信号から作られた全シ

表 1: Belle II データ収集システムの要求性能。

最大トリガーレート	30kHz
最大イベントサイズ	1MB
最大 Level 1 データフロー	$30 \mathrm{GB/sec}$
ピクセルデータサイズリダクション	1/10
HLT レートリダクション	$1/3 \sim 1/6$
最大データ記録レート	$1.8 \mathrm{GB/sec}$

ステムで共通となるクロックと共に各検出器のフロント エンド電子回路に分配される。フロントエンドは検出 器の近傍に設置されており、検出器に応じて多様なディ ジタイザで信号をデジタル化する。デジタル化された 信号は共通の Belle2link と呼ばれる高速光データ転送シ ステムを用いて共通読み出しモジュール COPPER に送 られる。送られたデータはオンボードプロセッサにより フォーマットされ, ギガビットイーサネット (GbE) ネッ トワークに送出される。200枚を越える COPPER から 送られたデータは 40 台の Readout PC に集められ,部 分的なイベントビルディングが行われる。Readout PC で前処理されたデータは2段のネットワークスイッチを 通して全イベントビルディングが行われ, 10GbE ネッ トワークで高次トリガー (HLT) に送られる。HLT はオ フラインとまったく同じ全イベント再構成がイベント毎 の並列処理で行われ,その結果を用いて物理イベントの 選択を行う。

ピクセル検出器 (PXD) のデータ量は他の検出器と比 して圧倒的に大きく, COPPERを使用して読み出すこと が難しい。そこで特別な読み出しシステムを用い, HLT で再構成された粒子の飛跡を PXD センサーの表面まで 外挿して信号が発生するピクセルを予測し, その部分だ

■ 研究紹介



図 1: Belle2データ収集システムの全体像。

けのデータを後段に送ることでデータ量の削減を図る。 そのデータは他の検出器の生データ及び HLT の処理結 果と第2段イベントビルダーで結合され,高速 RAID シ ステムに記録される。

2 タイミング分配システム

タイミング分配システムは,クロック,トリガー,リ セットなどの信号を Belle II の検出器のすみずみまで届 ける役割りを持つ。システムの全体像を図 2 に示す [2]。

すべての信号は SuperKEKB 加速器 の RF 同期信号 の 509 MHz を 4 分周した 127 MHz に同期しており, これを 254 Mbps のシリアルリンクの上に載せて分配 している。クロックとシリアル信号は主にカテゴリ 7 の LAN ケーブルを使って,またエレクトロニクスハット 側と検出器側の間については光ファイバを使用して受け 渡す。このクロックはパイプライン動作をしているフロ ントエンドでの読み出しの基準信号として使用され,ま たデータ転送リンクである Belle2link を駆動するのにも 用いられる。

タイミング分配のためにフロントエンド・タイミング・ スイッチ (FTSW) と名付けた 2 スロット幅の VME 6U のモジュールを開発した。このモジュールは Xilinx 社 の Virtex-5 FPGA を核としており,そのファームウェ アを入れ替えることにより一種類のモジュールで複数の 役割りを担う。フロントパネルに タイミング送受信の ための 24 個の RJ-45 コネクタを装備している。基板上 に FMC 規格の子ボードを取り付けられるようになって おり,1 種類のモジュールと 2 種類の子ボードで光通信 の分配と受信に対応する。このモジュールを最大 3 回 中継することにより図のように全検出器の読み出し基板 と接続できる。

254 Mbps のシリアルリンクは中央から検出器側への



図 2: タイミング分配システムの全体像。FTSW と言 う同一のモジュールが光ファイバーもしくは LAN ケー ブルでツリー上に接続され、トリガーとクロックを分配 し、フローコントロールを行う。

分配する「上り」と検出器側から中央へ集約してくる 「下り」側の相方向で1本ずつ使用する。上りのシリア ルリンクにはトリガー時刻,トリガー番号やタイプ,時 刻,加速器の周回信号,リセット信号などをのせ,また 下りのシリアルリンクには接続先の状態信号をのせる。 上りは同一の信号をすべてに分配するが,下りはバラ バラの信号が集まってくるので,各段階で信号の集約を 行う。

トリガーのフロー制御は、中央の FTSW でのトリ ガーの時間情報とフロントエンドからの読み出し事象 数, COPPER からのビジー信号, フロントエンドから のビジー信号の3種類の情報を元に行う。個々のトリ ガーに対してのハンドシェイクは行わず、読み出しのた めのバッファがあふれる可能性がある時やエラー検出時 にトリガーを一時停止する。フロントエンドからバック エンドへのデータ転送の途中にボトルネックが生じな いように帯域幅が設定されており、決められた数のト リガー数であればバッファがあふれることなく処理でき る。このトリガー数が一定数を越えないようにする制御 は中央で行う。ただしバックエンドの処理が追いつかな くなった場合には, COPPER は自身でバッファのオー バーフローを検知し、トリガーを止めるためのビジー信 号を生成する。フロントエンドからもビジー信号を生成 してトリガーを一時停止させることが出来るが, 信号の 遅延があり効率的ではないため、必要のない限りは使用 しない。これらの組み合わせにより 30 kHz トリガー 時にデッドタイムを1%以下に抑えるように設計して いる。

読み出しシステムの小規模な試験では1台のFTSW ですべてのタイミング分配の機能をまかなうことができ る。この構成が後述するPocketDAQのタイミング制御 の核として使用されている。



図 3: COPPERボードによるデータ読み出しの模式図。

3 Belle2link と COPPER

3.1 フロントエンドからのデータ読み出し

Belle II 実験では、検出器からのアナログ信号は全て 検出器の近くに設置されたフロントエンド電子回路で 処理され、デジタル化されたデータがエレクトロニク スハットまで送られる。フロントエンド電子回路は各検 出器グループが主として開発を行い、DAQ グループは データを送出するファームウェア以降を担当している。

フロントエンドから送られてきた PXD をのぞく各検 出器のデータは, KEK で開発され Belle や J-PARC の 実験でも用いられている汎用パイプライン読み出しモ ジュール COPPER(COmmon Pipelined Platform for Electronics Readout)[3] を用いて共通のハードウェア で処理される (図 3)。信号入力部は FINESSE(Frontend Instrumentation Entity for Sub-detector Specific Electronics) と呼ばれるドーターカードとしてモジュー ル化された構造になっており、用途に応じたシグナル受 信カードを搭載できる。最大4枚の FINESSE からの データは COPPER 上のイベントバッファに書き込ま れ, PrPMC 規格に基づいてドーターカードとして実装 されたオンボードプロセッサで処理される。その結果は ギガビットイーサネット (GbE) 経由で下流の Readout PCに送られる。COPPERは2つのネットワークポー トをもち, 一つはデータフロー用に, もう一つはスロー コントロール用に用いられる。

COPPERは改版が何度か行われ,現在最新のバージョ ンは3となっており,バージョン2に比べてFINESSEへ のクロック分配やオンボードのイーサネットトランシー バのギガビット化,部品の持続性(sustainability)等にお いて改良が施されている。Belle II 実験では,Belle 実験 で使っていた COPPER II と新たに生産した COPPER III 両方を読み出しボードとして併用する予定である。



図 4: Belle2linkの概念図。従来は COPPER 上に実装さ れたディジタイザカード (FINESSE)を光ファイバーを 通した高速通信により離れた場所に置けるようにする。

3.2 Belle2link

Belle 実験では FINESSE には AMT chip を用いた TDCを実装し、アナログ信号を直接受け取っていたが、 Belle II ではフロントエンド電子回路からのディジタル データを光ファイバーを通して受けるための受信カード となる。この高速光データ送受信システムは Belle2link と呼ばれ、中国 IHEP と KEK の協力の下に開発された [4]。Belle2link の概念図を図 4 に示す。

Belle2link は従来 COPPER 上にドーターカードとし て装着していたディジタイザ (FINESSE) をそのまま遠方 に設置し,代わりに COPPER 側に装着した受信カード (HSLB) と光ファイバーで接続し,「仮想的な」FINESSE として使用するために開発されたシステムである。

Belle2link は検出器フロントエンドからのデータを COPPERに転送する機能に加え,フロントエンドの種々 の設定パラメーターを COPPER から転送し設定する機 能も持つ。光ファイバー上の通信プロトコルは下層は Xilinx 社の高速シリアルトランシーバーの機能を使用 しており,高速シリアル通信を行う。この上層に RF ク ロックに同期して 2.54Gps で通信をを行う Belle2link の 独自のプロトコルを実装した。その開発には中国 IHEP が BES3 実験で蓄積した種々の経験が行かされている。

Belle2linkのデータ送信ファームウェアは検出器のデ ジタル化されたデータにタイミング分配システムからの トリガー情報と時間情報を付与し,CRC チェックサムを 追加するという機能を持つ。このファームウェアは検出 器フロントエンドの各種 FPGA(Virtex-5/6, Spartan-6, Zynq)に応じてそれぞれ実装する必要があり,そのた めに Belle2link Working Group が結成され,各検出器 と DAQ グループの密接な協力のもと開発が行われてい る。受信カード (HSLB)は Xilinx Virtex-5を搭載して おり,その上のファームウェアで CRC のチェックやマ ジックワードをヘッダに付加するなどの作業を行った後, COPPER 上のイベントバッファへのデータを書き込む。

Belle2linkという統一されたインターフェイスの導入 により各検出器からのデータ転送システムの開発におい て、作業コストを低減させることに成功している。

3.3 オンボードプロセッサによるデータ処理

COPPER ボード上のイベントバッファに納められた データは、その後オンボードプロセッサのメモリに DMA 転送される。データはドライバソフトウェアによってイ ベント単位でヘッダおよびフッタを付加された状態で 読み出すことが出来る。オンボードプロセッサは Belle II 実験のために (株) 電産と新たに開発したものであり、 Intel Atom CPU 1.6GHz とメモリ 512MB が搭載され ている [5]。ディスクレスであり、下流の Readout PC からネットワークブートされる。

このプロセッサは Linux OS で運用されており, DAQ ソフトウェアが COPPER ボードからデータを読み出し た後,解析上必要な情報をデータにヘッダ,フッタとし て付加し,下流の readout PC へと送信する。結果とし て検出器フロントエンドからのデータには,Belle2link, COPPERボード, PrPMC上のデバイスドライバ,DAQ プログラムと種々のノードによってヘッダとフッタが付 加されるが,ヘッダ情報の重複部は下流の Readout PC において削除される。

Belle IIデータ収集システムにおいては、オフラインと オンラインのソフトウェアを共有するため、basf2(belle analysis software framework 2)という統一されたフレー ムワークのもとでプログラムが作成されている。basf2 では生データは ROOT の TObject として扱われるが、 データ送出時には重い処理の必要な ROOT ストリーミ ングを使用せず、バイナリデータのみを取り出して送 るように実装しており、CPU 使用率を下げる工夫をし ている。最も厳しい条件であるシリコン衝突点検出器 (SVD)からのデータ量 (COPPER1 枚あたりのデータ サイズ 1kB/event、イベントレート 30kHz)において、 CPU 使用率が 60% 弱で処理出来ることが確認されてい る [6]。

3.4 PocketDAQシステム

Belle II 実験では、世界各国の研究所で検出器の開発 が行われている。それぞれのフロントエンド電子回路 の開発及びビームテストなどでのデータ取得試験のた めに、Belle II DAQ のミニチュア版である PocketDAQ というシステムを用意した。このシステム は PC1 台と COPPER がインストールされている 9U クレート 1 台 で構成され、基本的に BelleII DAQ の上流部分である COPPER から Readout PC までを切り出したものであ る。Belle II DAQ とまったく同じ basf2 を用いたデー タ読み出しソフトウェアが COPPER と Readout PC で 動作する。PocketDAQ でフロントエンド電子回路から データが読めるようになれば、そのまま Belle II の DAQ に接続してデータ収集ができるようになる。現在各検出



図 5: EB1 の全体構成。2 層のフルメッシュ接続された 6 台のネットワークスイッチで構成されている。

器のフロントエンド電子回路の開発,量産が佳境に入っ ており,この PocketDAQ システムを用いてテストが行 われている。

4 イベントビルディング

Belle IIデータ収集システムではイベントビルディング は3段階に分けて行われる[7]。第1段階は各クレートに 搭載された複数枚の COPPER からのデータを Readout PC の上でまとめる EB0, 第2段階は Readout PC か ら送られた全ての COPPER のデータをイベント単位に まとめ高次トリガー (HLT) に送る EB1, さらに HLT の 処理結果とピクセル検出器 (PXD) のデータをまとめ最 終的なイベントデータを作成する第3段階の EB2 であ る。この章では EB0 と EB1 について述べる。

EB0は1つのVMEクレートに搭載される最大17枚 のCOPPERからギガビットイーサネット(GbE)で送 られる各検出器の信号のイベントフラグメントをGbE ネットワークスイッチを介して1台のReadout PCで受 け取り、1つのデータに結合して後段に渡す処理を行う。

前述のように COPPER からのデータは ROOT のス トリーミングを回避してバイナリパケットとして送出さ れるため, Readout PC では簡素なプログラムによりイ ベントビルディングを実現でき,各 COPPER からのギ ガビットイーサネットの帯域幅を最大限に活用した高速 なイベントビルディングが可能である。

EB1 は全ての Readout PC から送られるイベントフ ラグメントをまとめ, PXD を除く全ての検出器からの完 全なイベントを構成し,高次トリガーの複数のユニット の一つに送出する。40 台に上る Readout PC から GbE で送出されたイベントフラグメントは4台の前段ネット ワークスイッチに集積され,10GbE でフルメッシュ接続 された後段の2台のネットワークスイッチに送られる。 図5に全体の構成を示す。

前段のスイッチは多くの GbE を集約して 10GbE に 変換するが,仮に出力側がデータを受け取れない場合で



図 6: EB1の1/4スケールテストシステムとテスト結果を 示す。マルチスレッディングにより入力レート 7.5kHz(フ ルスケールシステムでの 30kHzに相当する) で十分な性 能が出ることが実証された。

もパケットが消失しないように十分な長さのバッファを もったスイッチが必要となる。後段のスイッチは前段の4 つのスイッチから10GbEネットワークでデータを受け取 り、HLTの各ユニットに分配する。行き先のユニットは イベント番号により選択される。このスイッチは、HLT の受信バッファがいっぱいになり更なるデータを受信出 来なくなった場合にフローコントロールを行うために, 前段のスイッチからのデータ送出を止める機能 (pause frame を送る)を持つ必要がある。この機能に関して, 1/4 スケールのイベントビルダを作成して調査した結果 を総合し,前段のスイッチには ARISTA 社の 7050T を, 後段には 7150 を選択した。前者は 10GbE で到着する パケットを 1/10 の速度でゆっくりと 1000BaseT に送出 するために 768MB のパケットバッファを持つ。一方, 7150 は数 MB 程度の非常に短いパケットバッファしか 持たないが、バッファが一杯になっているときに HLT 側から pause frame を送信する。そのテスト結果を図 6 に示す。

高次トリガーの各ユニットのインプットノードで動作 する受信プログラムは高速でデータを受信するため、複 数のスレッドを用意し、それぞれが複数の入力を処理す るように配置されている。



図 7: HLT の構造を示す。各ユニットは入力出力ともに 大容量のリングバッファを通してイベントの分配、収集 を行うことで、ロードバランシングを行う。

5 高次トリガー (HLT)

Belle II の高次トリガー (HLT) は複数のユニットか ら構成される。一つのユニットの構成を図7に示す[8]。 EB1 でイベント毎で集められた PXD 以外の検出器の データは,各ユニットのインプットノードに光ファイ バーの 10GbE 接続で送られる。受け取られたイベント は大容量のリングバッファに蓄積される。20 台程度の ワーカーノードが 10GbE-T スイッチを介してインプッ トノードに接続されており,各ワーカーノードからのリ クエストが来るとイベント毎に送出される。この機構に よりワーカーノード間のロードバランスが保たれる。1 台のワーカーノードは16ないしは20のコアを持つマル チコア PC サーバーであり, basf2 を用いてオフライン と同一の全イベント再構成処理が行われる。basf2はマ ルチコアを用いた並列処理機能をもち、ワーカーノード のすべての CPU コアを効率的に使用してイベント毎並 列処理を行う。

イベント再構成の結果を用いて、ハドロニックイベン トセレクションやタウイベントセレクションなどの物理 過程ごとの選別を行ない、これをソフトウェアトリガー として使用する。ビームコンディションにもよるが、この 処理で1/3から1/6のイベントレートの削減を行う。検 出器からのデータと処理結果は入力と同じ10GbEネッ トワークを用いてアウトプットノードに送られ、リン グバッファにまとめて蓄積される。イベントはbasf2に 読み込まれ、イベントの最終的な取捨選択処理を行い、 10GbEのリンクでストレージノードに送出される。

SuperKEKB加速器の最大ルミノシティを処理するためには、10ユニット以上が必要となるが、その最初の ユニットが既に実装されている。図8に示す。

HLT は大量の CPU コアを効率的に用いて高速並列処 理を行うために、リングバッファを用いてロードバラン シングを行うように実装されているが、この機能により 十分な性能を達成できることをテストベンチを用いて調 べた。このテストベンチは 10 台の 12 コアを持つマルチ



図 8: HLT の最初のユニット



12 cores @ 3.5GHz / server

図 9: HLT の性能評価。

コア PC サーバーで構成されており,高速の RAID ディ スクが装着されている。これを用いて Belle II 測定器の シミュレータの出力を読み込み,イベント再構成を行い 出力を書き出すベンチマークプログラムを実行し,並列 処理に使用するコアの数を変えて性能を測定した結果を 図 9に示す。図から分かるように十分なリニアリティが 達成されている。

6 ピクセル検出器の読み出し機構と 第2段階イベントビルディング

前述のようにピクセル検出器 (PXD) はイベントあた り 1MB 以上の膨大なデータを発生するため,他の検出 器のような COPPER を使用した読み出しができない。 そこで HLT で再構成された飛跡を PXD のセンサー表 面まで外挿し,そのまわりのヒット信号のみを転送する



図 10: ピクセル検出器のデータの読み出し。PXDから のデータは ONSEN と呼ばれる FPGA を用いたい読み 出しシステムのメモリに蓄えられ、HLT から送られる RoI とマッチしたデータのみが送出され、第2段階のイ ベントビルディングがなされる。

ことで,データ量を圧縮する [9]。この機構を図 10 に 示す。

HLT の各ワーカーノードではイベントごとにシリコ ン検出器と中央飛跡検出器の信号を用いて,特に低い運 動量の粒子まで捉えられる特別のアルゴリズムにより飛 跡再構成を行う。その結果を2層の PXD センサーの表 面まで外挿し,センサーの部分を示す四角形の Region of Interest(RoI)を生成する。各 CPUコアで生成された RoI は HLT のアウトプットノードに HLT の処理結果の 一部として転送される。アウトプットノード上の basf2 が集められた RoI 情報を切り出し,メッセージキューを 介して RoI コレクションノードに集められ,イベント番 号とともに PXD の読み出しシステムに送られる。

PXD 読み出しシステム (ONSEN と呼ばれる) は多数 の相互接続された FPGA で構成されており,メモリー ルックアップにより受け取った RoI 情報と PXD からの 信号のマッチングを行う。トラックとマッチした信号の みを後段に送出する。HLT ではイベント単位の並列処理 が行われているため,イベントの順序が入れ替わる。ま た HLT では完全なイベント再構成が行われるため,処 理時間 (レイテンシ) が最大で 5 秒に渡る可能性がある。 そこで ONSEN には大容量のメモリが搭載されており, HLT のレイテンシに対応する。

ONSENからの PXD の信号と他の検出器の生データ を含む HLT の処理結果は,イベントビルダー 2(EB2) でまとめられ,ストレージに送られる。HLT の出力は イベント順序が前後で入れ替わっているが,ONSENか らもメモリルックアップにより同じ順でデータが出力さ れるため,特別な処理をすることなくイベントビルドが 可能である。



図 11: データストレージソフトウェアの構造。basf2 を 核として処理を行う。

7 ストレージシステム

データストレージは Belle II DAQ システムの終着点 に当たり,全ての検出器から収集されたデータをファイ ルとしてディスクへ記録するシステムである。HLTの各 ユニットに1基のストレージシステムが接続され、デー タは複数のストレージデバイスに並列に記録される。各 ストレージサーバーは光の 10GbE 接続で HLT ユニッ トからのデータを受信する。1 基のストレージシステム には 30TB の容量をもつ RAID が 4 台の 6Gbps の SAS インターフェイスで接続されており,1台をHLTからの 書き込みに使用し、残りをオフラインからの読み出しに 使用する。書き込みディスクを順次切り替えて使用する ことで、一つの RAID に読み書きの同時アクセスが起こ らないようにし、1 ユニットあたり最大 300MB/sec の 転送速度を保証する。図 11 にデータストレージのネッ トワーク構成とストレージシステムのデータフローソフ トウェア構成を示す。

EB2でまとめられたイベントデータはストレージサー バーで再び basf2を用いて読み込まれ,ROOT オブジェ クトに戻される。そこから最終的に記録するオブジェク トのみを切り出し、シーケンシャル ROOT ファイルに書 き出す。シーケンシャル ROOT ファイルはストリーム化 された ROOT オブジェクトをイベント毎に順に保存す るために DAQ 用に特別に開発されたフォーマットであ り、通常の ROOT I/O に比べ非常に高速である。basf2 上で一部のイベントはサンプリングされ、モニター用の イベントとして Express Reco と呼ばれる PC ファーム に転送される。

ダミーデータを用いて性能評価をおこなったところ, 要求されるストレージシステム1台あたり 300MB/sec の性能の2倍以上を達成した。また, COPPERボード 26基, HLTファーム1組と連結したデータフローテス トでは約200MB/sec (1イベントあたり約100kB)の処 理能力を確認した。



図 12: Belle II データ収集システムの制御モデル。

8 スローコントロール

Belle II DAQ 制御システム (スローコントロール)の 全体像を図 12 に示す。ランコントロール (Master RC) は DAQ 制御の中核を担うソフトウェアでトリガー分配 システムや検出器読み出しエレクトロニクス, データフ ローバックエンドの他,各検出器への電力供給システム など DAQ コンポーネントに対してスタート/ストップ やコンフィグレーションのロードの要求を発するととも に,これらのコンポーネントに加え加速器モニタなど各 種モニタからステータス情報を収集することでシステム 全体の監視・制御を行う [10]。

スローコントロールの通信フレームワークには NSM2 と EPICS 二つのシステムを使用している。 NSM2(Network Shared Memory2)は従来の Belle 実験 で運用実績のある Network Shared Memory (NSM)の 改良版で TCP ソケットでのメッセージ交換や共有メモリ のネットワーク共有機能などを持つ。ランコントロール システムやタイミング分配システム, COPPER による 各検出器の読み出しサブシステム,高次トリガーやスト レージなどの Belle II DAQ の基幹部分の制御は NSM2 を用いて行われている。これに対して PXD や SVD の 制御,および環境モニターや加速器とのインターフェイ スには EPICS[11]を導入し,商用機器との親和を図って いる。

グラフィカルユーザインターフェース (GUI)の開発 は NSM2 と EPICS のそれぞれの制御下にあるシステ ムへの透過的なアクセスを保証するために CSS (Control System Studio)を開発プラットフォームに採用し た。CSS では EPICS システムとの通信には組み込みプ ラグインが存在するのに対し, NSM2 のシステムに対 しては独自にプラグインを開発することで両系統に対 してシームレスなインターフェースを供給することが 可能となった。グローバルな GUI の設計はこれからの 課題であるが, 個別のシステムの GUI としては例えば COPPER システムの制御に図 13 のような GUI を開 発して,検出器の組み込み試験などに活用されている。



図 13: COPPER システム制御 GUI の例。



図 14: DESY でのビームテストで用いたデータ収集シ ステム。

9 DESYビームテスト

2014年1月にDESYのテストビームラインにおいて Belle II で用いるバーテックス検出器のビームテストが 行われた。このビームテストの目的は、1層のピクセル 検出器と4層のシリコンバーテックス検出器を磁場中 で同時に動作させ、トラッキングの性能試験を行うと同 時に、ピクセル検出器の読み出しシステムへのフィード バックにより、想定されたデータ量の削減が可能である ことを証明することであった。このため規模は小さいが Belle II データ収集システムの全てのコンポーネントを 実装する必要があり、DAQ 開発にとっても重要なマイ ルストーンとなった。

図 14 に使用したデータ収集システムを示す。SVD4 層のデータは Belle2link により 2 枚の COPPER で受信 され, Readout PC を経由して mini HLT に送られる。 mini HLT は 8 個の CPU コアを持つワーカーノード 3 台で構成されており, 24 コアを用いた並列処理により トラッキングを行うと同時に RoI 情報の生成を行う。そ の結果は mini HLT のアウトプットノードで集積され, PXD のリードアウトシステムである ONSEN に送られ る。PXD のデータは ONSEN 上で RoI とのマッチング が行われる。このテストではイベント番号の合致のみが 行われ PXD のすべてのデータが RoI 情報とともに送出 され,RoIマッチングはオフラインで調査できるように した。記録ノードでSVDのデータとマージされてディ スクに保存された。

このビームテストの最大の目的のひとつである RoIを 用いた PXD データのオンラインリダクションは,現場 にいるフロントエンド電子回路, データ収集系の開発者 だけでなく, ビームのトラッキングソフトウェアを担当 するソフトウェアグループとも一緒になって作業を進め る必要があった。ビームタイムが1ヶ月と潤沢にあった ことが逆に災いしてか、個々のコンポーネントがそれぞ れ ready になるまで時間がかかったが、ビームタイムが 残り僅かになった1月末になって HLT からの RoI 情報 を使って正確に PXD のヒット部分周りのみを取り出す ことができるようになった。実際に取得した 1000000 イ ベントを用いて, SVD から外挿したトラックから予想 される PXD 上のトラック通過位置と、実際の PXD 上 のヒットの位置との距離の分布を取ってみると、両者の 差の広がりは 100 μ m 前後におさまっており, RoI ス キームにおける PXD のデータ量低減が十分に可能であ ることを実証できた結果となった。ビームテストにおけ るトリガーレートは 100-500Hz 程度であり,最大 30kHz を処理する必要のあるデータ収集システムのテストとし ては物足りないイベントレートではあるものの, Belle IIデータ収集システムに必要な全てのコンポーネントを インテグレートして実際のビームで測定を行うことがで きたのは非常に意義深いことであった。またランコント ロールやモニタリングのシステムについても、開発者と は異なるシフトの人達に実際に使ってもらうことで有用 なフィードバックも得ることができ、ビームテスト期間 中に大きく開発が進んだのも重要な進歩であった。この ビームテストのいろいろなスナップショットを図 15 に 示す。

10 おわりに

DESYでのビームテストにより,Belle IIデータ収集 システムのすべてのコンポーネントが設計どおりに動作 することが実証され,DAQチームはその設計に破綻が なかったことに自信を深めた。それを受け,現場での検 出器実機のDAQへの組み込みが既に始まっている。11 月現在すでにバレルカロリーメータのすべての読みだし エレクトロニクスが組み込まれており,宇宙線テストが 開始されている。また K_L/µ 検出器の部分的インテグ レーションテストが進行中である。各検出器の構造体へ の設置の進行に応じて順次DAQへの組み込みが進めら れる体制は整っている。しかし Belle II 実験の開始に向 けて,高いトリガーレートでの性能試験や,データ収集 中の部分的なトラブルをデータ収集を止めること無く自



図 15: DESY ビームテストのスナップショット。

己修復する「Non Stop DAQ」機構の実装[12], リアル タイムでのデータクォリティのモニタリングなど課題は 山積しており, DAQグループー同気を引き締めて Belle II DAQシステムの完成に向けて努力を続けていく所存 である。

参考文献

- (1) 伊藤領介,「Belle II 実験のトリガーとデータ収集 システム」, 2014年日本物理学会秋季大会におけ る企画講演, 佐賀大学 (2014); S.Yamada, R.Itoh, K.Nakamura, M.Nakao, S.Y.Suzuki, T.Konno, T.Higuchi, "Data Acquisition System for the Belle II Experiment", IEEE Real Time 2014 国際会議に おける招待講演, 奈良県新公会堂 (2014); M.Nakao, T.Higuchi, R.Itoh, S.Y.Suzuki, "Data Acquisition System for Belle II", JINST 5, C12004 (2010).
- [2] M.Nakao, "Multi-Purpose Trigger Timing Distribution System for a Small Test Setup", IEEE Real Time 2014 国際会議におけるポスター, 奈良県新公会堂 (2014); M.Nakao, M.Friedl, C.Lim, T.Uchida, "Minimizing Dead Time of the Belle II Data Acquisition System with Pipelined Trigger Flow Control", IEEE Trans. Nucl. Sci. 60, 3729 (2013).
- [3] 伊藤領介、田中真伸、「COPPER を用いた次世 代データ収集システム」,高エネルギーニュース Vol.26, No.3, 232 (2007);田中真伸、「KEK におけ

るオンラインエレクトロニクスの現状と将来」, 高 エネルギーニュース Vol.24, No.3, 195 (2005).

- [4] D.Sun, Z.Liu, J.Zhao, H.Xu, "Belle2link: a Global data Readout and Transmission for Belle II Experiment at KEK", Phys. Procedia 37, 1933 (2012).
- [5] S.Y.Suzuki, T.Higuchi, M.Nakao, R.Itoh, Y.Igarashi, "New Backend Processor Card for the Pipelined Readout System at Belle II", IEEE Trans. Nucl. Sci. 60, 3557 (2013).
- [6] S.Yamada, S.Y.Suzuki, R.Itoh, K.Nakamura, M.Nakao, T.Konno, T.Higuchi, "Global Data Processing System with Onboard CPU Cards for the Belle II Experiment", IEEE Real Time 2014 国際会議におけるポスター, 奈良県新公会堂 (2014).
- [7] S.Y.Suzuki, S.Yamada, R.Itoh, M.Nakao, T.Konno, T.Higuchi, "he Three Level Event Building System for the Belle-II Experiment", IEEE Real Time 2014 国際会議におけるポス ター, 奈良県新公会堂 (2014).
- [8] R.Itoh, T.Higuchi, M.Nakao, S.Y.Suzuki, S.Lee, "Data Flow and High Level Trigger of Belle II DAQ System", IEEE Trans. Nucl. Sci. 60, 3720 (2012).
- [9] R.Itoh, M.Nakao, S.Y.Suzuki, T.Higuchi, T.Konno, "Test of Data Reduction by Belle II Hlgh Level Trigger in DESY Test Beam", IEEE Real Time 2014 国際会議における講演, 奈良県新 公会堂 (2014).
- [10] 今野智之,「Design and Implementation of Slow Control in Belle II DAQ」, 2014年日本物理学会 秋季大会における講演, 佐賀大学 (2014).
- [11] http://www.aps.anl.gov/epicsを参照.
- [12] M.Nakao, S.Y.Suzuki, R.Itoh, S.Yamada, T.Higuchi, T.Konno, "Non-Stop Data Acquisition System for the Belle II Experiment", IEEE Real Time 2014 国際会議における講演, 奈良県新 公会堂 (2014).